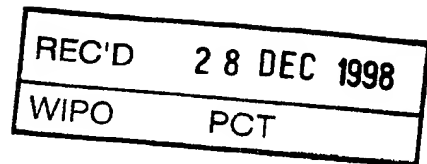


FR 98/02636



EJV

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION**PRIORITY
DOCUMENT****COPIE OFFICIELLE**SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **10 DEC. 1998**Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

**INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE****SIEGE**
26 bis, rue de Saint Petersburg
75800 PARIS Cédex 08
Téléphone : 01 53 04 53 04
Télécopie : 01 42 93 59 30



5



REQUÊTE EN DÉLIVRANCE

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : (1) 42.94.52.52 Télécopie : (1) 42.93.59.30

Confirmation d'un dépôt par télécopie ☐

Cet imprimé est à remplir à l'encre noire en lettres capitales

Réservé à l'INPI DATE DE REMISE DES PIÈCES - 8 DEC. 1997 N° D'ENREGISTREMENT NATIONAL 97 15737 - DÉPARTEMENT DE DÉPÔT N. P. I. RENNES DATE DE DÉPÔT 08.12.97		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE CABINET BALLOT-SCHMIT M. Yves BEAUFILS 4 Rue Général Hoche 56100 LORIENT
---	--	---

2 DEMANDE Nature du titre de propriété industrielle <input checked="" type="checkbox"/> brevet d'invention <input type="checkbox"/> demande divisionnaire <input type="checkbox"/> certificat d'utilité <input type="checkbox"/> transformation d'une demande de brevet européen		demande initiale <input type="checkbox"/> brevet d'invention <input type="checkbox"/> certificat d'utilité n°	n° du pouvoir permanent 013770-FR. références du correspondant 02 97 21 87 87 téléphone
Établissement du rapport de recherche <input type="checkbox"/> différé <input checked="" type="checkbox"/> immédiat		Le demandeur, personne physique, requiert le paiement échelonné de la redevance <input type="checkbox"/> oui <input type="checkbox"/> non	
Titre de l'invention (200 caractères maximum) CIRCUIT DE CALCUL DE LA TRANSFORMÉE DE FOURIER RAPIDE ET DE LA TRANSFORMÉE DE FOURIER RAPIDE INVERSE.			

3 DEMANDEUR (S) n° SIREN code APE-NAF Nom et prénoms (souligner le nom patronymique) ou dénomination 1. FRANCE TELECOM 2. TELEDIFFUSION DE FRANCE - TDF	Forme juridique SA SA
--	-----------------------------

Nationalité (s) 1. Française. 2. Française. Adresse (s) complète (s) 1. 6, place d'Alleray, 75015 PARIS 2. 10, rue d'Oradour-sur-Glane, 75732 Paris Cedex 15	Pays France France
---	--------------------------

4 INVENTEUR (S) Les inventeurs sont les demandeurs <input type="checkbox"/> oui <input checked="" type="checkbox"/> non Si la réponse est non, fournir une désignation séparée	En cas d'insuffisance de place, poursuivre sur papier libre <input type="checkbox"/>
5 RÉDUCTION DU TAUX DES REDEVANCES <input type="checkbox"/> requise pour la 1ère fois <input type="checkbox"/> requise antérieurement au dépôt ; joindre copie de la décision d'admission	

6 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE			
pays d'origine	numéro	date de dépôt	nature de la demande

7 DIVISIONS antérieures à la présente demande n° date n° date	8 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (nom et qualité du signataire - n° d'inscription) Yves BEAUFILS CPI 92-1015	SIGNATURE DU PRÉPOSÉ À LA RÉCEPTION	SIGNATURE APRES ENREGISTREMENT DE LA DEMANDE À L'INPI
---	---	-------------------------------------	---

La loi n° 78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

DIVISION ADMINISTRATIVE DES BREVETS

26bis, rue de Saint-Petersbourg
75800 Paris Cédex 08
Tél. : (1) 42 94 52 52 - Télécopie : (1) 42 93 59 30

N° D'ENREGISTREMENT NATIONAL

9715737

TITRE DE L'INVENTION :

**CIRCUIT DE CALCUL DE LA TRANSFORMÉE DE FOURIER RAPIDE
ET DE LA TRANSFORMÉE DE FOURIER RAPIDE INVERSE.**

LE (S) SOUSSIGNÉ (S)

Yves BEAUFILS
CABINET BALLOT-SCHMIT
4 Rue Général Hoche
56100 LORIENT

DÉSIGNE (NT) EN TANT QU'INVENTEUR (S) (indiquer nom, prénoms, adresse et souligner le nom patronymique) :

JALALI Ali
32 rue Mirabeau
Bâtiment K n°234
35700 RENNES

LACROIX Dominique
18 Square Alain Fergent
35000 RENNES

LERAY Pierre
La Grosse Roche
35340 LIFFRE

NOTA : A titre exceptionnel, le nom de l'inventeur peut être suivi de celui de la société à laquelle il appartient (société d'appartenance) lorsque celle-ci est différente de la société déposante ou titulaire.

Date et signature (s) du (des) demandeur (s) ou du mandataire

Lorient, le 04 décembre 1997


Yves BEAUFILS CPI 92-1015.

DOCUMENT COMPORTANT DES MODIFICATIONS

PAGE(S) DE LA DESCRIPTION OU DES REVENDEICATIONS OU PLANCHE(S) DE DESSIN			R.M.*	DATE DE LA CORRESPONDANCE	TAMPON DATEUR DU CORRECTEUR
Modifiée(s)	Supprimée(s)	Ajoutée(s)			
39 à 55	-	-	RM	page 59 à 50, 52 à 53 22 Avril 1998 page 51 22 Avril 1998	- 5 MAI 1998 B E P

Un changement apporté à la rédaction des revendications d'origine, sauf si celui-ci découle des dispositions de l'article R.612-36 du code de la Propriété Intellectuelle, est signalé par la mention «R.M.» (revendications modifiées).

**CIRCUIT DE CALCUL DE LA TRANSFORMEE DE FOURIER RAPIDE
ET DE LA TRANSFORMEE DE FOURIER RAPIDE INVERSE**

5 L'invention concerne un circuit de calcul de la transformée de Fourier rapide ou de la transformée de Fourier rapide inverse d'une suite de nombres réels ou d'une suite d'échantillons complexes conjugués.

10 La transformée de Fourier est sans doute l'un des outils les plus importants dans l'analyse, la conception et la mise en oeuvre des algorithmes relevant du traitement du signal, et l'existence d'algorithmes efficaces tels que celui de la transformée de Fourier rapide a largement contribué à
15 cette situation. Quoique la plupart des algorithmes de transformée de Fourier soient conçus pour transformer des suites de nombres complexes, il existe cependant de nombreuses applications, telles que le traitement d'images ou de signaux acoustiques ou certains types de
20 la modulation multiporteuse, dans lesquelles les suites à transformer sont des nombres réels.

De façon générale, la transformée de Fourier directe et la transformée de Fourier inverse établissent
25 respectivement entre deux suites de N nombres complexes, $x(n)$ et $X(n)$, les relations suivantes :

$$X(n) = \sum_{k=0}^{N-1} x(k) w^{kn} \quad \text{avec } n \in [0 \dots N-1] \text{ et } w^{kn} = e^{-j \frac{2\pi kn}{N}}$$

30

$$x(n) = \frac{1}{N} \sum_{k=0}^{N-1} X(k) w^{-kn} \quad \text{avec } n \in [0 \dots N-1]$$

En 1965, J.W Cooley et J.W Tukey ont décrit un algorithme permettant de calculer rapidement la transformée de Fourier d'une suite de N nombres complexes dans un article intitulé "An Algorithm for the Machine Calculation of Complex Fourier Series", Math. Computation, Vol.19, 1965, pp.297-301. Cet algorithme est très intéressant lorsque N est une puissance de deux car il est alors particulièrement simple à mettre en oeuvre. Cet algorithme requiert μ étages de calcul où $\mu = \log_2(N)$. Il repose sur une décomposition de la suite à transformer en deux sous-suites entrelacées. Il existe deux types d'entrelacement : l'entrelacement temporel et l'entrelacement fréquentiel. Ces deux types d'entrelacement seront exposés plus en détail dans la suite de la description en référence aux figures 1A et 1B.

Des algorithmes particuliers ont été développés à partir de cet algorithme de base pour traiter le cas des suites de nombres réels. La transformation de Fourier d'une suite de 8 nombres réels selon un algorithme avec entrelacement temporel et selon un algorithme avec entrelacement fréquentiel est illustrée aux figures 1A et 1B. Pour chaque algorithme de transformée de Fourier avec entrelacement temporel, il existe un algorithme avec entrelacement fréquentiel qui correspond à une double inversion de la suite des opérations de transformation d'une part, et, pour chaque circuit croisillon, des opérations de transformation en elles-mêmes d'autre part. Quel que soit l'entrelacement choisi, le circuit de transformation nécessite trois étages de transformation

E0, E1 et E2 comportant chacun un jeu de quatre circuits croisillons CC, communément appelés "butterfly" en langage technique. Chaque circuit croisillon, représenté sur la figure par un point de croisement entre deux colonnes de nombres, effectue des opérations de calcul sur deux nombres, réels ou complexes. Les symboles R et C identifient respectivement un nombre réel et un nombre complexe. La position des nombres réels et/ou complexes à la sortie des étages de transformation est dépendante de l'entrelacement choisi.

L'algorithme avec entrelacement temporel est généralement choisi pour calculer la transformée de Fourier d'une suite de nombres réels en raison de la répartition symétrique des nombres réels et complexes à travers les étages. En revanche, l'algorithme avec entrelacement fréquentiel est plus adapté pour la transformation directe ou inverse d'une suite nombres complexes conjugués.

Lorsque la suite à transformer $x(n)$ est réelle, la transformée de Fourier vérifie la relation suivante:

$$x(n) \text{ est réelle si et seulement si } X(n) = X^*(-n) = X^*(N-n); \quad (1)$$

où * désigne l'opération de conjugaison.

Pour une suite $x(n)$ de N nombres réels, on déduit de cette relation les résultats suivants:

- $X(0)$ et $X(N/2)$ sont réels;

- $X(n) = X^*(N-n)$ pour $1 \leq n \leq N/2 - 1$

La relation (1) met en évidence la présence d'informations redondantes dans la suite $X(n)$.

Il convient de noter que le circuit de transformation comporte en fait généralement un unique jeu de circuits croisillons et des moyens pour changer sélectivement le mode opératoire de ces circuits croisillons au fur et à mesure de la transformation. A chaque changement de mode opératoire, les résultats sont stockés dans une mémoire comportant N emplacements mémoire, les échantillons de sortie d'un circuit croisillon se substituant dans la mémoire aux échantillons d'entrée de même rang correspondants. Cette méthode d'application de l'algorithme est couramment appelée méthode "in place". Cette méthode présente un avantage majeur : si les éléments de la suite $x(n)$ sont appliqués à l'entrée du premier étage de transformation dans l'ordre binaire inverse de l'indice n ("bit-reversed"), le dernier étage de transformation délivre les nombres de la suite $X(n)$ dans l'ordre croissant de l'indice n et vice versa.

Un circuit de transformation connu est représenté à titre d'exemple à la figure 2. Ce circuit effectue la transformation de Fourier d'une suite réelle $x(n)$ selon un algorithme complexe avec entrelacement temporel. Dans cet exemple, la suite $x(n)$ à transformer comporte seize échantillons réels, $x(0)$ à $x(15)$. Le circuit de transformation comporte quatre étages de transformation E_p avec $0 \leq p \leq 3$. Les échantillons de la suite $x(n)$ sont présentés à l'entrée du premier étage dans l'ordre binaire inverse de leur indice n ("bit-reversed").

A ce stade des explications, il convient de définir les termes employés dans la suite de la description. Le rang d'un échantillon s'entend de la position occupée

par celui-ci dans la suite des échantillons à laquelle il appartient. L'indice d'un échantillon correspond alors au rang de départ de cet échantillon.

5 Les résultats intermédiaires délivrés par les différents étages de transformation sont représentés par les suites $A(n)$, $B(n)$ et $C(n)$. Les échantillons des suites $x(n)$, $A(n)$, $B(n)$, $C(n)$ et $X(n)$ sont stockés dans des doubles emplacements mémoire, un emplacement
10 mémoire étant réservé pour la partie réelle de l'échantillon et l'autre emplacement étant réservé pour sa partie imaginaire. $A_R(n)$ et $A_I(n)$ désignent respectivement la partie réelle et la partie imaginaire de l'échantillon d'indice n de la suite $A(n)$. Les
15 circuits croisillons sont représentés sur la figure par des points de croisement entre des colonnes d'emplacements mémoire. A chaque circuit croisillon est affecté un coefficient w^S symbolisé sur la figure 2 par un couple de coordonnées A/B où A et B désignent
20 respectivement la partie réelle et la partie imaginaire du coefficient w^S . Les coordonnées $1/0$ et $0/-1$ sont attribuées respectivement aux coefficients $w^0=1$ et $w^{N/4}=w^4=-j$. Par souci de clarté et pour simplifier leur formulation, les autres coefficients w^S ont été
25 représentés par les couples suivants:

$$\begin{array}{ll} w^1 \rightarrow 2 / -4 & w^5 \rightarrow -4 / -2 \\ w^2 \rightarrow 3 / -3 & w^6 \rightarrow -3 / -3 \\ w^3 \rightarrow 4 / -2 & w^7 \rightarrow -2 / -4 \end{array}$$

30 Ces couples de coordonnées sont représentés graphiquement à la figure 3. Les coordonnées A et B représentent en réalité respectivement une valeur de cosinus et une valeur de sinus. Ce coefficient w^S

intervient dans le calcul effectué par le circuit croisillon. Par ailleurs, les circuits croisillons sont répartis à chaque étage de transformation en $N/2^{p+1}$ blocs de calcul, chaque bloc de calcul comportant 2^p circuits croisillons. Dans la suite de la description, le paramètre q désigne le rang des blocs de calcul dans les étages de transformation; q est compris entre 0 et $(N/2^{p+1})-1$.

- 10 Le premier étage de transformation E_0 comporte huit blocs de calcul comprenant chacun un circuit croisillon effectuant une opération sur deux échantillons complexes ou réels. Si on désigne par e_1 et e_2 les échantillons appliqués sur les entrées d'un circuit
- 15 croisillon, ce dernier délivre en sortie des échantillons s_1 et s_2 définis de la manière suivante :
- $$s_1 = e_1 + W^S.e_2 \text{ et } s_2 = e_1 - (W^S.e_2)$$
- où W^S est le coefficient affecté audit croisillon.

- 20 Le coefficient $W^0=1$ est affecté aux huit circuits croisillons du premier étage de transformation. Etant donné que les échantillons $x(n)$ et le coefficient W^0 sont réels, les échantillons $A(n)$ obtenus en sortie de l'étage E_0 sont réels.

- 25 Le second étage de transformation E_1 comporte quatre blocs de calcul comprenant chacun deux circuits croisillons. Le coefficient $W^0=1$ est affecté au premier de ces circuits croisillons; le premier circuit
- 30 croisillon de chaque bloc de calcul de l'étage E_1 délivre donc deux échantillons réels. Le deuxième circuit croisillon des blocs de calcul est associé au coefficient $W^{N/4}=W^4=-j$ et génère par conséquent deux

échantillons complexes conjugués. Les échantillons de sortie de l'étage E_1 sont regroupés dans la suite $B(n)$.

Le troisième étage de transformation E_2 comporte deux
 5 blocs de calcul comprenant chacun quatre circuits
 croisillons associés respectivement aux coefficients
 w^0, w^2, w^4 et w^6 . Les échantillons de sortie de l'étage
 E_2 sont regroupés dans la suite $C(n)$. Enfin, le
 10 quatrième étage de transformation E_3 comporte un unique
 bloc de calcul comportant huit circuits croisillons
 associés respectivement aux coefficients $w^0, w^1, w^2,$
 w^3, w^4, w^5, w^6 et w^7 . Cet étage de transformation
 délivre la suite transformée $X(n)$.

15 Etant donné la relation (1), la suite $X(n)$ comporte
 d'une part des échantillons réels, $X(0)$ et $X(8)$, et
 d'autre part des échantillons complexes, $X(1)$ à $X(7)$ et
 $X(9)$ à $X(15)$, les échantillons $X(15)$ à $X(9)$ étant
 respectivement les conjugués des échantillons $X(1)$ à
 20 $X(7)$. La suite $X(n)$ contient donc des informations
 redondantes. Les emplacements mémoire dessinés en trait
 épais sur la figure 2 désignent les emplacements
 mémoire renfermant les valeurs conjuguées des
 échantillons complexes contenus dans les emplacements
 25 mémoire qui leur sont associés par une flèche. Les
 suites de résultats intermédiaires $B(n)$ et $C(n)$
 contiennent également des informations redondantes.

Il est alors possible de supprimer ces informations
 30 redondantes afin de réduire de moitié la taille de la
 mémoire de stockage des échantillons ainsi que le
 nombre des circuits croisillons.

Cependant, une suppression des informations redondantes stockées dans les emplacements mémoire dessinés en trait gras sur la figure 2 implique de réarranger totalement le circuit de transformation de la figure 2.

5 Ces réarrangements au sein du circuit de transformation modifient alors l'ordre de sortie des échantillons $X(n)$.

10 Le problème est donc de réduire la taille de la mémoire de stockage et le nombre des circuits croisillons tout en conservant l'ordre de sortie des échantillons à la sortie du circuit de transformation. L'invention a pour but de proposer un circuit de calcul de la transformée de Fourier rapide ou de transformée de Fourier rapide

15 inverse d'une suite de N échantillons réels $x(n)$, avec N puissance de 2, fonctionnant selon un algorithme avec entrelacement temporel et délivrant la suite des échantillons $X(n)$ dans l'ordre croissant de l'indice n et dans lequel les moyens de calcul et de stockage sont

20 réduits.

Dans ce but, l'invention a pour objet un circuit de calcul de la transformée de Fourier rapide ou de la transformée de Fourier rapide inverse d'un signal

25 numérique défini par une suite de N échantillons réels de départ $x(n)$, avec N puissance de deux et $n \in [0..N-1]$, comportant des étages successifs de transformation pour transformer des échantillons d'entrée en échantillons de sortie, le dernier étage

30 délivrant une suite de N échantillons de sortie $y(n)$ représentatifs de cette transformée de Fourier rapide ou rapide inverse, chaque étage étant muni d'un jeu de circuits croisillons à plusieurs entrées et à plusieurs

sorties, l'ensemble des étages consistant matériellement en un unique jeu de circuits

croisillons, des moyens pour changer sélectivement le mode opératoire desdits circuits croisillons parmi des modes opératoires associés chacun à un étage respectif de transformation, et des moyens pour mémoriser les échantillons d'entrée et de sortie de chaque étage de transformation dans une mémoire de stockage,

caractérisé en ce que les échantillons de sortie $y(n)$ sont réels,

et en ce que les échantillons de sortie d'un circuit croisillon se substituent dans la mémoire de stockage aux échantillons d'entrée de même rang correspondants, de telle sorte que, si les échantillons de départ $x(n)$ sont présentés à l'entrée du premier étage de transformation dans l'ordre binaire inverse de leur indice n , le dernier étage de transformation délivre les échantillons de sortie $y(n)$ dans l'ordre croissant de l'indice n , lesquels échantillons de sortie sont définis par les relations suivantes:

$$y(0) = \text{Re}[X(0)]$$

$$y(n) = \text{Re}[X((n+1)/2)] \quad \text{pour } n \text{ impair et différent de } N-1$$

$$y(n) = \text{Im}[X(n/2)] \quad \text{pour } n \text{ pair et différent de } 0$$

$$y(N-1) = \text{Re}[X(N/2)]$$

où les échantillons $X(n)$, avec $n \in [0..N-1]$, désignent les échantillons complexes de la suite correspondant à la transformée de Fourier rapide ou rapide inverse de la suite des échantillons de départ $x(n)$.

Pour les circuits fonctionnant selon un algorithme avec entrelacement fréquentiel, l'invention concerne

également un circuit de calcul de la transformée de Fourier rapide ou de la transformée de Fourier rapide inverse d'un signal numérique défini par une suite de N échantillons complexes $X(n)$ conjugués deux à deux représentés par une suite de N échantillons réels de départ $y(n)$, avec N puissance de deux et $n \in [0..N-1]$, les échantillons de départ $y(n)$ étant définis de la manière suivante :

$$y(0) = \text{Re}[X(0)]$$

$$y(n) = \text{Re}[X((n+1)/2)] \quad \text{pour } n \text{ impair et différent de } N-1$$

$$y(n) = \text{Im}[X(n/2)] \quad \text{pour } n \text{ pair et différent de } 0$$

$$y(N-1) = \text{Re}[X(N/2)]$$

lequel circuit de calcul comporte des étages successifs de transformation pour transformer des échantillons d'entrée en échantillons de sortie, le dernier étage délivrant une suite de N échantillons de sortie $x(n)$ représentatifs de cette transformée de Fourier rapide ou rapide inverse, chaque étage étant muni d'un jeu de circuits croisillons à plusieurs entrées et à plusieurs sorties, l'ensemble des étages consistant matériellement en un unique jeu de circuits croisillons, des moyens pour changer sélectivement le mode opératoire desdits circuits croisillons parmi des modes opératoires associés chacun à un étage respectif de transformation, et des moyens pour mémoriser les échantillons d'entrée et de sortie de chaque étage de transformation dans une mémoire de stockage,

caractérisé en ce que les échantillons de sortie $x(n)$ sont réels,

et en ce que les échantillons de sortie d'un circuit croisillon se substituent dans la mémoire de

stockage aux échantillons d'entrée de même rang correspondants, de telle sorte que, si les échantillons de départ $y(n)$ sont présentés à l'entrée du premier étage de transformation dans l'ordre croissant de l'indice n , le dernier étage de transformation délivre les échantillons de sortie $x(n)$ dans l'ordre binaire inverse de l'indice n .

Les circuits de calcul de l'invention exécutent des opérations sur des échantillons réels et utilisent en conséquence des moyens de calcul et de stockage réduits par rapport au circuit de la figure 2.

Selon une autre caractéristique de l'invention, les circuits croisillons transforment, à chaque étage de transformation, des couples d'échantillons d'entrée, les rangs des échantillons d'entrée d'un même couple dans la suite des échantillons d'entrée dudit étage de transformation étant symétriques par rapport à un milieu entre les valeurs de rang extrêmes des échantillons d'entrée transformés par ledit circuit croisillon. Les échantillons d'entrée traités par un même circuit croisillon sont ainsi reliés deux à deux par une symétrie. Il en résulte une gestion simplifiée de l'adressage des échantillons.

Selon un autre aspect de l'invention, le circuit comporte de préférence $\mu-1$ étages de transformation E_p avec $\mu = \log_2(N)$ et $p \in [0.. \mu-2]$.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée

qui suit et qui est faite en référence aux dessins annexés dans lesquels :

5 - les figures 1A et 1B, déjà décrites, représentent respectivement une transformation de fourier de huit nombres réels selon un algorithme avec entrelacement temporel et selon un algorithme avec entrelacement fréquentiel;

10 - la figure 2, déjà décrite, représente un circuit de transformation d'une suite de 16 nombres réels en une suite de 16 nombres complexes fonctionnant selon un algorithme complexe avec entrelacement temporel;

 - la figure 3, déjà décrite, représente graphiquement la correspondance entre les coefficients w^S et des couples de coordonnées A/B;

15 - la figure 4 représente des modifications effectuées sur une partie du circuit de transformation de la figure 2;

 - la figure 5 représente un circuit de transformation modifié traitant des nombres réels;

20 - la figure 6 représente un schéma global d'un circuit de calcul de la transformée de Fourier rapide selon l'invention;

25 - les figures 7A et 7B représentent respectivement des permutations effectuées sur les circuits croisillons de bord et sur les circuits croisillons internes de rang impair du circuit de transformation de la figure 5;

30 - la figure 8 représente un exemple de réalisation du circuit de transformation selon l'invention, comportant μ étages de transformation;

 - la figure 9 représente un regroupement de circuits croisillons de bord selon un premier exemple

de réalisation d'un circuit de transformation comprenant $\mu-1$ étages de transformation;

5 - la figure 10 représente un premier exemple de réalisation d'un circuit de transformation comprenant $\mu-1$ étages de transformation;

- la figure 11 représente un modèle de circuit croisillon se rapportant au circuit de transformation de la figure 10;

10 - la figure 12 représente une variante de l'exemple de réalisation de la figure 10;

- la figure 13 représente un modèle de circuit croisillon se rapportant au circuit de transformation de la figure 12;

15 - la figure 14 représente un regroupement de circuits croisillons de bord selon un deuxième exemple de réalisation d'un circuit de transformation comprenant $\mu-1$ étages de transformation;

20 - la figure 15 représente un deuxième exemple de réalisation d'un circuit de transformation comprenant $\mu-1$ étages de transformation avec μ pair;

- la figure 16 représente une variante de l'exemple précédent avec μ impair;

25 - la figure 17 représente un modèle de circuit croisillon se rapportant au circuit de transformation des figures 15 et 16;

- la figure 18 représente un troisième exemple de réalisation d'un circuit de transformation comprenant $\mu-1$ étages de transformation;

30 - la figure 19 représente un modèle de circuit croisillon se rapportant au circuit de transformation de la figure 18;

- la figure 20 représente les adresses qui sont associées aux différents circuits croisillons du circuit de transformation de la figure 12;

5 - la figure 21 représente les adresses qui sont associées à une partie d'un circuit de transformation destiné à transformer une suite de 32 échantillons réels;

10 - la figure 22 représente un exemple de réalisation d'un circuit de transformation fonctionnant selon un algorithme avec entrelacement fréquentiel;

- la figure 23 représente un modèle de circuit croisillon se rapportant au circuit de transformation de la figure 22;

15 - la figure 24 représente les adresses qui sont associées aux différents circuits croisillons du circuit de transformation de la figure 22

20 Selon l'invention, on ne calcule qu'une partie des échantillons $X(n)$, l'autre partie des échantillons étant redondante. On pourrait par exemple se limiter au calcul des nombres $X(n)$ pour $0 \leq n \leq N/2$. Cependant, une solution plus adaptée consiste à calculer les nombres $X(n)$ pour $0 \leq n \leq N/4$ et $N/2 \leq n \leq 3N/4$. Cette dernière solution est préférable car elle ne fait intervenir que

25 les $(N/4)+1$ premiers circuits croisillons pour le calcul des $X(n)$, les $(N/4)-1$ derniers circuits croisillons pouvant alors être supprimés. Les emplacements mémoire ainsi libérés peuvent être

30 utilisés pour mémoriser la partie réelle ou la partie imaginaire des nombres $X(n)$ restants. La taille de la mémoire de stockage peut ainsi être divisée par deux si on limite la taille des emplacements mémoire au stockage d'un nombre réel au lieu d'un nombre complexe.

La partie réelle du nombre complexe $X(n)$ est stockée dans l'emplacement mémoire qui lui a été initialement affecté tandis que sa partie imaginaire est stockée dans l'emplacement mémoire affecté initialement au nombre $X(N-n)$. La même opération peut être effectuée pour les suites de résultats intermédiaires $B(n)$ et $C(n)$. Le circuit de transformation de l'invention se limite à calculer N échantillons réels $y(n)$ au lieu de N échantillons complexes. Les échantillons réels $y(n)$ sont définis de la manière suivante:

$$y(0) = \text{Re}[X(0)]$$

$$y(n) = \text{Re}[X((n+1)/2)] \quad \text{pour } n \text{ impair et différent de } N-1$$

$$y(n) = \text{Im}[X(n/2)] \quad \text{pour } n \text{ pair et différent de } 0$$

$$y(N-1) = \text{Re}[X(N/2)].$$

La suppression des informations redondantes et la réorganisation des emplacements mémoire modifient fortement le schéma de la figure 2. La figure 4 illustre les réarrangements effectués sur la partie de circuit se rapportant au calcul des échantillons $A(1)$, $A(3)$, $A(5)$, $A(7)$, $B(1)$, $B(3)$, $B(5)$, $B(7)$, $C(1)$, $C(3)$, $C(5)$ et $C(7)$. Les échantillons redondants à supprimer sont $B(3)$, $B(7)$, $C(5)$ et $C(7)$. Après réduction de la taille des emplacements mémoire et réarrangement des échantillons restants dans ces emplacements mémoire, les circuits croisillons effectuent des calculs sur des nombres réels. Les circuits croisillons auxquels est affecté le couple 0/-1 effectuent des calculs sur deux nombres réels. En pratique, ils recopient sur leur première sortie le nombre présent sur leur première entrée et multiplient par -1 le nombre présent sur leur

seconde entrée et le délivrent sur leur seconde sortie. Les circuits croisillons auxquels est affecté le couple 1/0 effectuent une addition et une soustraction sur deux nombres réels. Enfin, les autres circuits
5 croisillons effectuent des opérations sur quatre nombres réels.

L'ensemble du circuit de transformation réarrangé est représenté à la figure 5. Sur cette figure, les
10 circuits croisillons associés aux couples 1/0 et 0/-1 correspondant aux coefficients w^0 et w^4 sont connectés aux emplacements mémoire par des traits épais. Cette figure montre que les réarrangements au sein du circuit de transformation modifient l'ordre de sortie des
15 échantillons $y(n)$ et donc l'ordre de sortie de la suite $X(n)$. Par ailleurs, ce circuit de transformation ne comporte plus de symétrie particulière permettant de relier deux à deux les échantillons traités par un même circuit croisillon. Il en résulte une gestion très
20 compliquée de l'adressage des échantillons à appliquer sur les entrées des circuits croisillons.

La figure 6 représente le schéma global d'un circuit de calcul de la transformée de Fourier rapide ou de la
25 transformée de Fourier rapide inverse d'une suite de N nombres réels $x(n)$, avec N puissance de 2, fonctionnant selon un algorithme avec entrelacement temporel. Il comporte essentiellement un circuit de transformation 2 regroupant des étages de transformation pour recevoir N
30 échantillons $x(n)$ dans l'ordre binaire inverse de leur indice n et délivrer des échantillons de sortie $y(n)$ réels représentatifs de cette transformée de Fourier.

De manière facultative, il comporte un circuit d'entrée 1 pour recevoir les N échantillons réels de départ $x(n)$ à transformer et les ranger dans l'ordre binaire inverse de leur indice n avant transformation et un circuit de sortie 3 recevant lesdits échantillons $y(n)$ issus du circuit de transformation et délivrant N échantillons complexes $X(n)$ correspondant à la transformée de Fourier rapide des échantillons de départ $x(n)$.

10

Les circuits qui seront détaillés dans la suite de la description, seront plus particulièrement destinés à calculer la transformée de Fourier rapide d'une suite réelle. Aussi, les coefficients w^s affectés aux circuits croisillons du circuit de transformation seront du type $e^{-j(2\pi s/N)}$ avec $s \geq 0$. Pour le calcul de la transformée de Fourier rapide inverse, le circuit de calcul est identique, cependant le coefficient est du type $e^{j(2\pi s/N)}$ avec $s \geq 0$.

20

Pour obtenir simultanément l'ordonnancement désiré des échantillons $y(n)$ à la sortie du circuit de transformation et la symétrie de calcul, on propose selon l'invention de modifier les opérations de calcul effectuées par les circuits croisillons des blocs de calcul de rang q impair du circuit de la figure 5 conformément aux schémas des figures 7A et 7B.


S'agissant des circuits croisillons associés au coefficient 1/0 (figure 7A) des blocs de calcul de rang impair, on prévoit de permuter les deux sorties du circuit croisillon et de multiplier par -1 le résultat délivré sur la deuxième sortie du circuit croisillon.

S'agissant des circuits croisillons à quatre entrées (figure 7B), on prévoit de permuter les deux premières sorties avec les deux dernières.

5

On applique cette méthode à l'ensemble des étages du circuit de transformation et on obtient alors un circuit de transformation délivrant en sortie des échantillons $y(n)$ dans l'ordre croissant de l'indice n .

10

Ce circuit est représenté à la figure 8. Le symbole  placé au-dessus des blocs de calcul, désigne les blocs de calcul dans lesquels ont été modifiés les circuits croisillons, c'est-à-dire les blocs de calcul de rang impair. Etant donné la symétrie de calcul du circuit de transformation, les points de croisement représentant les circuits croisillons se superposent à l'intérieur de chaque bloc de calcul.

15

Les circuits croisillons auxquels est affecté le coefficient $1/0$, sont appelés croisillons de bord car ils effectuent des calculs sur les échantillons disposés aux extrémités du bloc de calcul. Les autres circuits croisillons sont appelés circuits croisillons internes. Il convient de noter que chaque étage de transformation ne traite pas toujours l'ensemble des échantillons et que les échantillons non traités sont conservés dans leurs emplacements mémoire pour être traités ultérieurement par d'autres étages en aval, ou bien produits en sortie s'ils sont déjà dans leur forme finale.

30

Cette forme de réalisation du circuit de transformation permet de délivrer des échantillons $y(n)$ dans l'ordre

croissant de l'indice n et présente à chaque étage de transformation une symétrie de calcul facilitant l'adressage des échantillons à traiter.

5 Selon un autre aspect de l'invention, le circuit de calcul comporte $\mu-1$ étages de transformation. Plusieurs exemples de réalisation dérivés du schéma de la figure 8 et comprenant $\mu-1$ étages de transformation sont donc présentées dans la suite de la description. Un modèle
10 de circuit croisillon est associé à chaque exemple de réalisation.

Tous ces exemples de réalisation ont en commun les caractéristiques suivantes :

- 15 - chaque étage de transformation comporte $N/2^{p+2}$ blocs de calcul et chaque bloc de calcul comporte un circuit croisillon de bord et/ou 2^p-1 circuits croisillons internes; tous les circuits croisillons, qu'ils soient de bord ou internes, effectuent des
20 opérations de calcul sur quatre échantillons réels;
- les rangs des échantillons traités par un même circuit croisillon sont définis de la manière suivante: si on considère un circuit croisillon de bord appartenant au bloc de calcul de rang α dans l'étage
25 E_β , il transforme les échantillons d'entrée de rang $2^{\beta+2}\alpha$, $2^{\beta+2}\alpha+2^{\beta+1}-1$, $2^{\beta+2}\alpha+2^{\beta+1}$, $2^{\beta+2}\alpha+2^{\beta+2}-1$ en des échantillons de sortie de même rang et, si on considère un circuit croisillon interne de rang r dans le bloc de calcul de rang α de l'étage E_β , il transforme les
30 échantillons d'entrée de rang $2^{\beta+2}\alpha+2r+1$, $2^{\beta+2}\alpha+2r+2$, $2^{\beta+2}\alpha+2^{\beta+2}-2r-3$, $2^{\beta+2}\alpha+2^{\beta+2}-2r-2$ en des échantillons de sortie de même rang, avec $\beta \geq 1$;

- le coefficient affecté au circuit croisillon interne de rang τ du bloc de calcul de rang α de l'étage E_β est égal à W^δ avec $\delta = (\tau+1) \cdot (N/2^{\beta+2})$.

- 5 Dans ces exemples de réalisations, les échantillons d'entrée de chaque circuit croisillon forment des couples d'échantillons, les rangs des échantillons d'un même couple dans la suite des échantillons d'entrée d'un étage de transformation étant symétriques par
- 10 rapport à la valeur milieu des rangs extrêmes des échantillons d'entrée transformés par ledit circuit croisillon. Ce milieu correspond à la valeur $2^{\beta+2}\alpha + 2^{\beta+1} - 1/2$. Il suffit donc de connaître le rang de
- 15 deux des quatre échantillons à appliquer sur les entrées du circuit croisillon pour en déduire le rang des deux autres. L'adressage de ces échantillons s'en trouve donc simplifié. Il sera détaillé plus loin dans la description.
- 20 Ainsi, selon un premier exemple de réalisation, les blocs de calcul voisins de chaque étage de transformation sont regroupés deux par deux. Les circuits croisillons de bord d'un même bloc de calcul sont alors fusionnés en un circuit croisillon de bord
- 25 unique. Un exemple de fusion de deux circuits croisillons de bords est présenté à la figure 9. Cet exemple concerne les circuits croisillons de bord associés aux échantillons $x(0)$, $x(8)$, $x(4)$ et $x(12)$.
- 30 Par ailleurs, les étages de transformation ne traitant pas à chaque fois l'ensemble des échantillons, certaines opérations de calcul peuvent être anticipées. Par exemple, le calcul des échantillons $C_R(1)$, $C_I(1)$,

$C_R(3)$ et $C_I(3)$ peut être effectué au deuxième étage de transformation. Il en résulte le schéma de la figure 10 représentant un premier exemple de réalisation du circuit de transformation dans laquelle le circuit ne comporte que $\mu-1$ étages de transformation. Chaque bloc de calcul de l'étage E_p comporte un circuit croisillon de bord et 2^p-1 circuits croisillons internes. On peut considérer que ce circuit comporte uniquement 3 étages de transformation, le quatrième étage se limitant à un additionneur et un soustracteur. Cet additionneur et ce soustracteur sont de préférence inclus dans le circuit de sortie du circuit afin de limiter le nombre d'étages du circuit de transformation.

Un modèle de circuit croisillon associé au schéma de la figure 10 est représenté à la figure 11. Il comporte:

- quatre entrées pour recevoir des échantillons d'entrée e_1, e_2, e_3, e_4 et quatre sorties pour délivrer des échantillons de sortie s_1, s_2, s_3, s_4 , et
- trois entrées supplémentaires respectivement de mode primaire MP, de permutation PERM et de coefficient COEF.

Ce circuit croisillon est chargé d'appliquer sélectivement sur les échantillons d'entrée e_1, e_2, e_3 et e_4 , des opérations de transformation différentes déterminées chacune par les valeurs attribuées à des signaux de mode primaire, de permutation et au coefficient W^S admis sur les entrées supplémentaires correspondantes.

Le signal de mode primaire vaut 0 s'il s'agit d'un circuit croisillon de bord et 1 s'il s'agit d'un

circuit croisillon interne. Lorsque le signal de permutation est un 1, les échantillons de sortie s1 et s2 du circuit croisillon sont permutés avec les échantillons de sortie s3 et s4. Cette permutation n'est possible que lorsque le circuit est un circuit croisillon interne. Enfin, le coefficient W^S associé au circuit croisillon est appliqué sur l'entrée de coefficient COEF.

10 Ainsi, si le coefficient complexe $W^S = A + j.B$ est appliqué sur l'entrée de coefficient du circuit croisillon, ce dernier délivre les échantillons de sortie s1, s2, s3 et s4 suivants

(1) si le signal de mode primaire est à 0:

$$\begin{aligned} 15 \quad s1 &= e1 + e2 \\ s2 &= e1 - e2 \\ s3 &= e4 - e3 \\ s4 &= e3 + e4 \end{aligned}$$

(2) si le signal de mode primaire est à 1 et le signal de permutation à 0:

$$\begin{aligned} 20 \quad s1 &= e1 + A.e3 - B.e4 \\ s2 &= e2 + B.e3 + A.e4 \\ s3 &= e1 - A.e3 + B.e4 \\ s4 &= -e2 + B.e3 + A.e4 \end{aligned}$$

(3) si le signal de mode primaire est à 1 et le signal de permutation à 1:

$$\begin{aligned} 25 \quad s1 &= e1 - A.e3 + B.e4 \\ s2 &= -e2 + B.e3 + A.e4 \\ s3 &= e1 + A.e3 - B.e4 \\ s4 &= e2 + B.e3 + A.e4 \end{aligned}$$

30 Selon un exemple de réalisation en variante, on peut prévoir d'intégrer l'addition et la soustraction dans le circuit croisillon de bord du dernier étage de transformation. Cet exemple de réalisation est

représenté à la figure 12. A cet effet, le modèle de circuit croisillon correspondant comporte une quatrième entrée supplémentaire appelée entrée de mode secondaire MS sur laquelle est appliquée un signal de mode secondaire. Ce signal est à 1 quand il s'agit du circuit croisillon de bord du dernier étage, sinon il est à 0. Ce modèle est illustré figure 13. Ce modèle possède un mode de fonctionnement supplémentaire par rapport au modèle précédent; ainsi lorsque le signal de mode primaire est à 0 et que le signal de mode secondaire est à 1, on obtient en sortie:

$$s1 = e1 + e2 + e3 + e4$$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

$$s4 = (e1 + e2) - (e3 + e4)$$

Selon un deuxième exemple de réalisation dérivé du schéma de la figure 8, les circuits croisillons de bord voisins des étages E_p d'indice p pair sont regroupés deux par deux et sont fusionnés avec le circuit croisillon de bord de l'étage suivant d'indice impair pour former un nouveau circuit croisillon de bord dans l'étage d'indice impair. Ce regroupement est illustré à la figure 14 au travers d'un exemple. Dans cet exemple, les circuits croisillons de bord du premier étage de transformation traitant les échantillons $x(0)$, $x(8)$, $x(4)$ et $x(12)$ sont fusionnés avec le circuit croisillon de bord du deuxième étage traitant les échantillons $A_R(0)$ et $A_R(2)$. De même, les circuits croisillons de bord du premier étage de transformation traitant les échantillons $x(2)$, $x(10)$, $x(6)$ et $x(14)$ sont fusionnés avec le circuit croisillon de bord du deuxième étage traitant les échantillons $A_R(4)$ et $A_R(6)$. Les deux

circuits croisillons obtenus se différencient en ce que le deuxième effectue en plus une permutation entre la première et la dernière sortie. Si on applique ce regroupement à l'ensemble du circuit de la figure 8, il en résulte que l'étage E_0 ne comporte plus de circuits croisillons et peut être supprimé. Le circuit de transformation final est représenté à la figure 15.

Il convient cependant de distinguer deux cas pour ce circuit de transformation : le cas où N est une puissance paire de deux (μ pair) et le cas où N est une puissance impaire de deux (μ impair).

Dans le cas où μ est pair, il y a un nombre pair d'étages de transformation dans le schéma de la figure 8 et le regroupement des circuits croisillons de bord des étages d'indice pair avec ceux des étages suivants d'indice impair ne pose pas de problème. Ce cas correspond au schéma de la figure 15.

Dans le cas où μ est impair, le circuit croisillon de bord du dernier étage d'indice pair ne peut être regroupé avec d'autres circuits croisillons de bord. Il convient alors de prévoir un mode de fonctionnement particulier pour ce cas. Ce cas est illustré figure 16, laquelle figure représente un circuit de transformation d'une suite de huit échantillons réels ($\mu=3$). Le circuit croisillon de bord du dernier étage de transformation de ce circuit n'a pu être fusionné avec d'autres circuits croisillons de bord.

Le modèle de circuit croisillon associé à ce deuxième exemple de réalisation est illustré figure 17; il se

différencie du modèle précédent en ce que le signal de mode secondaire est à 1 lorsqu'il s'agit d'un circuit croisillon de bord du dernier étage et que μ est impair, et en ce que la permutation s'applique à l'ensemble des circuits croisillons des blocs de calcul de rang pair.

Les opérations de calcul réalisées par le circuit croisillon sont également différentes et sont définies de la manière suivante :

(1) si les signaux de mode primaire, de mode secondaire et de permutation sont à 0:

$$s1 = e1 + e2 + e3 + e4$$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

$$s4 = (e1 + e2) - (e3 + e4)$$

(2) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1:

$$s1 = e1 + e4$$

$$s2 = e2$$

$$s3 = e3$$

$$s4 = e1 - e4$$

(3) si le signal de mode primaire est à 0 et le signal de permutation à 1:

$$s1 = (e3 + e4) - (e1 + e2)$$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

$$s4 = e1 + e2 + e3 + e4$$

(4) si le signal de mode primaire est à 1 et le signal de permutation à 0:

$$s1 = e1 + A.e3 - B.e4$$

$$s2 = e2 + B.e3 + A.e4$$

$$s3 = e1 - A.e3 + B.e4$$

$$s4 = -e2 + B.e3 + A.e4$$

(5) si le signal de mode primaire est à 1 et le signal de permutation à 1:

$$s1 = e1 - A.e3 + B.e4$$

$$s2 = -e2 + B.e3 + A.e4$$

$$s3 = e1 + A.e3 - B.e4$$

5

$$s4 = e2 + B.e3 + A.e4$$

Pour le cas où μ est impair, on peut également prévoir d'une part, de regrouper les circuits croisillons de bord du premier étage de transformation de la même façon que dans le premier exemple de réalisation et d'autre part, de regrouper les circuits croisillons des autres étages comme dans le troisième exemple de réalisation. Le regroupement des circuits croisillons à partir du second étage est alors effectué en attribuant un indice pair au premier étage de transformation. Ces regroupements sont représentés à la figure 18.

Le modèle de circuit croisillon correspondant à cet exemple de réalisation est représenté à la figure 19.

20 Le signal de mode secondaire vaut 1 s'il s'agit d'un circuit croisillon de bord appartenant au premier étage de transformation du circuit et si μ est pair. Les opérations de calcul effectuées par ce circuit croisillon sont les suivantes :

25 (1) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1:

$$s1 = e1 + e2$$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

30

$$s4 = e3 + e4$$

(2) si les signaux de mode primaire, de mode secondaire et de permutation sont à 0:

$$s1 = e1 + e2 + e3 + e4$$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

$$s4 = (e1 + e2) - (e3 + e4)$$

5 (3) si les signaux de mode primaire et de mode secondaire sont à 0 et le signal de permutation à 1:

$$s1 = (e3 + e4) - (e1 + e2)$$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

$$s4 = e1 + e2 + e3 + e4$$

10 (4) si le signal de mode primaire est à 1 et le signal de permutation à 0:

$$s1 = e1 + A.e3 - B.e4$$

$$s2 = e2 + B.e3 + A.e4$$

$$s3 = e1 - A.e3 + B.e4$$

$$s4 = -e2 + B.e3 + A.e4$$

15 (5) si le signal de mode primaire est à 1 et le signal de permutation à 1:

$$s1 = e1 - A.e3 + B.e4$$

$$s2 = -e2 + B.e3 + A.e4$$

$$s3 = e1 + A.e3 - B.e4$$

$$s4 = e2 + B.e3 + A.e4$$

20

Dans tous les exemples de réalisation décrits précédemment, les rangs des échantillons traités par un même circuit croisillon sont symétriques deux à deux par rapport à une valeur milieu. Il suffit donc de connaître le rang des deux premiers échantillons d'entrée du circuit croisillon pour en déduire les deux autres par symétrie. Si les échantillons d'entrée et de sortie sont sauvegardés dans des emplacements mémoire dont l'adresse correspond au rang de ces échantillons, l'adressage de ces derniers s'en trouve simplifié.

25

30

En effet, il suffit alors de générer deux adresses par circuit croisillon, les deux autres pouvant être

déduites par symétrie. Par ailleurs, il convient de noter que les adresses des échantillons d'entrée et celles des échantillons de sortie correspondants sont les mêmes car la transformation est appliquée selon une
5 méthode "in place".

Les adresses associées aux différents circuits croisillons se rapportant au circuit de transformation de la figure 12 sont présentés à la figure 20.
10 L'adresse d'un échantillon est prise égale au rang de cet échantillon dans la suite des échantillons à laquelle il appartient. La suite à transformer dans l'exemple de la figure 12 comporte 16 échantillons. Il est donc nécessaire de produire 16 adresses,
15 l'adressage se faisant sur quatre bits. Pour une suite de N échantillons, l'adressage se fait sur $\log_2(N)$ bits.

Chaque étage de transformation du circuit de la figure
20 12 comporte quatre circuits croisillons traitant chacun quatre échantillons réels d'entrée. Les adresses binaires des échantillons à traiter dans chaque étage sont donc réparties en quatre groupes de quatre adresses. Les groupes d'adresses se rapportant à un
25 circuit croisillon de bord sont contenus dans des rectangles en trait gras et les groupes d'adresses se rapportant à un circuit croisillon interne sont contenus dans des rectangles en trait fin. Par ailleurs, les groupes d'adresses se rapportant à un
30 même bloc de calcul sont regroupés dans des rectangles en pointillés.

Le premier circuit croisillon de bord de l'étage E_0 traite les quatre premiers échantillons de la suite $x(n)$ issue du circuit d'entrée. Les adresses correspondantes à générer pour ce circuit croisillon sont donc 0000, 0001, 0010 et 0011. De même si on considère le premier circuit croisillon de bord de l'étage E_1 , il traite les échantillons de rang 0, 3, 4 et 7 de la suite $A(n)$. Les adresses correspondantes à générer pour ce circuit croisillon sont donc 0000, 0011, 0100 et 0111.

Les $(\mu-2-p)$ bits de poids fort des adresses indiquent le rang q du bloc de calcul auquel se rapporte l'adresse. Ainsi, les deux bits de poids fort des adresses générées pour le premier bloc de calcul de l'étage E_0 sont 00. Il faut noter également que, étant donné que le dernier étage ne comporte qu'un seul bloc de calcul, les adresses générées pour ce bloc de calcul ne comporte pas de bit se rapportant au rang de ce bloc $(\mu-p-2=0)$.

Pour chaque circuit croisillon, on génère uniquement deux adresses binaires par un générateur de d'adresses; les deux autres sont obtenus en inversant les $(p+2)$ bits de poids faible des adresses générées. Si on considère par exemple les adresses du premier circuit croisillon de bord de l'étage E_1 , on ne génère que les adresses 0000 et 0011 et on obtient les adresses 0111 et 0100 en inversant les 3 bits de poids faible des adresses générées.

Le générateur produit donc une première et une seconde adresse par circuit croisillon, lesquelles adresses

sont consécutives lorsqu'il s'agit d'un circuit croisillon interne. Lorsqu'il s'agit d'un circuit croisillon de bord, les $p+2$ bits de poids faible de la première adresse sont égaux à 0, et les $p+2$ bits de poids faible de la seconde adresse forment un nombre égal à $2^{p+1}-1$.

En ce qui concerne les coefficients W^s à appliquer sur les entrées de coefficient COEF des circuits croisillons internes, ils sont stockés dans une mémoire du circuit de calcul. Seules $N/4$ valeurs de coefficients sont nécessaires au calcul de la transformée de Fourier. L'adressage de ces coefficients s'effectue sur $\mu-2$ bits. Dans les exemples de réalisation décrits précédemment où $N=16$, on utilise uniquement les couples 1/0, 2/-4, 3/-3 et 4/-2 correspondant aux coefficients W^0, W^1, W^2, W^3 .

Selon l'invention, il est donc nécessaire de connaître l'adresse de ces quatre coefficients. L'adresse associée à chaque coefficient W^s est choisie égale à la valeur de la puissance s . Par conséquent, les adresses des coefficients W^0, W^1, W^2, W^3 sont respectivement 00, 01, 10, 11.

Afin de ne pas avoir à générer ces adresses, on utilise selon l'invention les adresses produites pour adresser les échantillons. L'adresse du coefficient qui est affecté à un circuit croisillon est comprise dans la seconde adresse produite correspondant à la plus élevée des deux adresses.

Cependant, il convient de distinguer trois cas:

(a) lorsque $p+1=\mu-2$, l'adresse du coefficient correspond au nombre formé par les $p+1$ bits de poids faible de la seconde adresse générée pour ce circuit croisillon interne. C'est le cas pour le deuxième étage

5 (p=1) dans l'exemple de la figure 20. Les 2 bits de poids faible de la seconde adresse sont 10 et désignent donc le coefficient w^2 .

(b) si $p+1>\mu-2$, l'adresse du coefficient correspond au nombre formé par les $p+1$ bits de poids faible de la

10 seconde adresse générée pour ce circuit croisillon interne, ôté de ses $\mu-p-1$ bits de poids faible. C'est le cas pour le troisième étage (p=2) dans l'exemple de la figure 20. Les 3 bits de poids faible de la seconde

15 adresse générée pour le premier circuit croisillon interne sont 010. Lorsqu'on ôte le dernier bit ($\mu-p-1=1$) de ce nombre, on obtient le nombre 01 se rapportant au coefficient w^1 . Ce cas correspond toujours au dernier étage des circuits de

20 transformation comportant $\mu-1$ étages de transformation.

(c) si $p+1<\mu-2$, l'adresse du coefficient correspond au nombre formé par les $p+1$ bits de poids faible de la

25 seconde adresse générée pour ce circuit croisillon interne, suivis de $\mu-p-3$ bits à zéro en fin de nombre. Ce cas est illustré figure 21. Cette figure représente les adresses se rapportant à un circuit croisillon

interne appartenant au deuxième étage de transformation (p=1) d'un circuit de transformation destiné à traiter une suite de 32 échantillons réels ($N=32$ et $\mu=5$). Ce

30 circuit croisillon transforme les échantillons de rang 1, 2, 5 et 6 de la suite des échantillons issus du premier étage. Les deux bits de poids faibles de la seconde adresse générée sont 10 et si on y rajoute un

zéro ($\mu-p-3=1$) en fin de nombre, on obtient le nombre 100 désignant le coefficient w^4 .

5 Ainsi, les deux adresses produites par le générateur d'adresses pour un circuit croisillon servent à adresser à la fois les quatre échantillons à traiter et le coefficient se rapportant au circuit croisillon.

10 De préférence, les échantillons d'adresse paire et d'adresse impaire seront stockés dans deux mémoires distinctes. Ainsi, deux échantillons d'entrée pourront être lus simultanément et les échantillons de sortie résultants pourront être écrits simultanément, ce qui représente un gain au niveau du temps de traitement de
15 la suite à transformer.

Comme mentionné précédemment, à chaque circuit de calcul fonctionnant selon un algorithme avec entrelacement temporel correspond un circuit
20 fonctionnant selon un algorithme avec entrelacement fréquentiel. Pour l'obtenir, il suffit d'une part d'inverser la suite des opérations de transformation du circuit avec entrelacement temporel correspondant, et d'autre part, pour chaque circuit croisillon,
25 d'inverser les opérations de transformation en elles-mêmes par rapport à celle du circuit correspondant.

Aussi, l'invention concerne également un circuit de calcul de la transformée de Fourier rapide ou de la
30 transformée de Fourier rapide inverse d'une suite de N échantillons complexes $X(n)$ conjugués deux à deux, avec N puissance de 2, fonctionnant selon un algorithme avec entrelacement fréquentiel. La suite des N échantillons

complexes $X(n)$ est représentée par une suite de N échantillons réels $y(n)$ définie de la manière suivante:

$$y(0) = \text{Re}[X(0)]$$

$$y(n) = \text{Re}[X((n+1)/2)] \quad \text{pour } n \text{ impair et différent de } N-1$$

$$y(n) = \text{Im}[X(n/2)] \quad \text{pour } n \text{ pair et différent de } 0$$

$$y(N-1) = \text{Re}[X(N/2)]$$

10 Selon l'invention, ce circuit comporte essentiellement un circuit de transformation formé d'étages de transformation chargés de transformer des échantillons d'entrée en échantillons de sortie. Les échantillons réels $y(n)$ sont traités par le premier étage de transformation du circuit et le dernier étage délivre une suite de N échantillons de sortie $x(n)$ représentatifs de la transformée de Fourier rapide ou rapide inverse de la suite des échantillons $X(n)$. Comme pour les circuits avec entrelacement temporel, chaque

15 étage est muni d'un jeu de circuits croisillons à plusieurs entrées et à plusieurs sorties. La transformation étant effectuée selon une méthode "in place", l'ensemble des étages consiste matériellement en un unique jeu de circuits croisillons, des moyens pour changer sélectivement le mode opératoire desdits circuits croisillons parmi des modes opératoires associés chacun à un étage respectif de transformation, et des moyens pour mémoriser les échantillons d'entrée et de sortie de chaque étage de transformation dans une

20 mémoire de stockage. Après transformation, les échantillons de sortie d'un même circuit croisillon se substituent dans la mémoire de stockage aux échantillons d'entrée de même rang correspondants.

25

30

Selon l'invention, si les échantillons $y(n)$ sont présentés à l'entrée du premier étage de transformation dans l'ordre croissant de l'indice n , le dernier étage
 5 de transformation délivre les échantillons de sortie $x(n)$ dans l'ordre binaire inverse de l'indice n . L'ordre de sortie des échantillons $x(n)$ peut ensuite être modifié par un circuit de sortie pour qu'ils soient délivrés dans l'ordre croissant de l'indice n à
 10 la sortie du circuit de calcul.

Un exemple de réalisation d'un circuit de transformation mettant en oeuvre cette transformation est représenté à la figure 22. Il se déduit du circuit
 15 de la figure 12 en inversant l'agencement fonctionnel des étages de transformation du circuit de la figure 12 (image en miroir de ce qu'il est pour un entrelacement temporel). Ce circuit est chargé de calculer la transformée de Fourier rapide inverse d'une suite de 16
 20 échantillons réels $y(n)$ représentatifs d'une suite de 16 échantillons complexes $X(n)$ conjugués deux à deux. Les coefficients W^S sont par conséquent du type $e^{j(2\pi s/N)}$.

25 Ce circuit comporte trois étages de transformation E_p avec $0 \leq p \leq 2$. A chaque étage de transformation E_p , les circuits croisillons sont désormais répartis en 2^p blocs de calcul, ces blocs de calcul étant ordonnés dans les étages selon un rang q croissant allant de 0 à
 30 $2^p - 1$. Chaque bloc de calcul comporte un circuit croisillon de bord et $N/2^{p+2} - 1$ circuits croisillons internes. Les échantillons $y(n)$ sont appliqués dans l'ordre de l'indice n à l'entrée du premier étage.

Les rangs des échantillons traités par un même circuit croisillon sont définis de la manière suivante: si on considère un circuit croisillon de bord appartenant au

5 bloc de calcul de rang α dans l'étage E_β , il transforme les échantillons d'entrée de rang $2^{\mu-\beta}\alpha$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-1$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-1$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-1$ en des échantillons de sortie de même rang et, si on considère un circuit

10 croisillon interne de rang τ dans le bloc de calcul de rang α de l'étage E_β , il transforme les échantillons d'entrée de rang $2^{\mu-\beta}\alpha+2\tau+1$, $2^{\mu-\beta}\alpha+2\tau+2$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-2\tau-3$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-2\tau-2$ en des échantillons de sortie de même rang. Enfin, le coefficient affecté au circuit

15 croisillon interne de rang τ du bloc de calcul de rang α de l'étage E_β est égal à w^δ avec $\delta = (\tau+1).2^\beta$.

Les échantillons réels $x(n)$ obtenus à la sortie du dernier étage de transformation sont délivrés dans l'ordre binaire inverse de l'indice n .

20

Au niveau des circuits croisillons, les coefficients w^s sont du type $e^{j(2\pi s/N)}$ et, les entrées et les sorties ont été interverties par rapport au circuit de la figure 12. En conséquence, les opérations effectuées

25 par les circuits croisillons de ce circuit sont différentes de celles effectuées par les circuits croisillons de la figure 12. Un modèle de circuit croisillon associé au circuit de transformation de la figure 22 est représenté à la figure 23.

30

Tout comme le modèle associé à la figure 12, il comporte quatre entrées et quatre sorties de données ainsi que quatre entrées supplémentaires respectivement

de mode primaire MP, de mode secondaire MS, de permutation PERM et de coefficient COEF. Le signal de mode primaire vaut 0 s'il s'agit d'un circuit croisillon de bord et 1 s'il s'agit d'un circuit

5 croisillon interne. Le signal de permutation vaut 0 pour les valeurs paires du rang q et 1 pour les valeurs impaires. Enfin, le signal de mode secondaire vaut 1 si le circuit croisillon de bord appartient au premier étage et 0 sinon.

10

Les opérations de calcul effectuées par ce circuit croisillon sont les suivantes ($W^S = A + j.B$):

(1) si les signaux de mode primaire et de mode secondaire sont à 0:

15

$$s1 = (e1 + e2)/2$$

$$s2 = (e1 - e2)/2$$

$$s3 = (e4 - e3)/2$$

$$s4 = (e3 + e4)/2$$

(2) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1:

20

$$s1 = [(e1+e4)/2+e2]/2$$

$$s2 = [(e1+e4)/2-e2]/2$$

$$s3 = -[e3-(e1-e4)/2]/2$$

$$s4 = [e3+(e1-e4)/2]/2$$

(3) si le signal de mode primaire est à 1 et le signal de permutation à 0:

25

$$s1 = (e1+e3)/2$$

$$s2 = (e2-e4)/2$$

$$s3 = [(e1-e3).A - (e2+e4).B]/2$$

$$s4 = [-(e1-e3).B + (e2+e4).A]/2$$

(4) si le signal de mode primaire est à 1 et le signal de permutation à 1:

30

$$s1 = [(e1-e3).A - (e2+e4).B]/2$$

$$s2 = [-(e1-e3).B + (e2+e4).A]/2$$

$$s3 = (e1+e3)/2$$

$$s4 = (e2-e4)/2$$

Ce modèle est déduit du modèle de la figure 13 en intervertissant les valeurs e_1, e_2, e_3, e_4 et les valeurs s_1, s_2, s_3, s_4 , et en remplaçant B par $-B$ car le coefficient w^s est à présent du type $e^{j(2\pi s/N)}$.

5 Etant donné que A et B représentent le cosinus et le sinus d'un même nombre, on a en fait $A^2 + B^2 = 1$. Les expressions de s_1, s_2, s_3, s_4 s'en trouvent simplifiées.

10 D'autres exemples de réalisation, non représentés, peuvent être réalisés en correspondance avec les circuits de transformation des figures 15 et 18.

15 Le circuit de calcul comporte par ailleurs des moyens pour l'adressage des échantillons. Ces moyens sont destinés à générer deux adresses binaires de μ bits par circuit croisillon, chaque adresse binaire correspondant au rang d'un échantillon d'entrée du circuit croisillon. Les adresses des deux autres
20 échantillons à appliquer sur les entrées du circuit croisillon sont obtenus en inversant les $\mu-p$ bits de poids faible des deux premières adresses.

25 De la même façon que pour les circuits de transformation fonctionnant selon un entrelacement temporel, les deux adresses binaires produites sont consécutives s'il s'agit d'un circuit croisillon interne. S'il s'agit d'un circuit croisillon de bord, les $\mu-p$ bits de poids faible de la première adresse
30 générée sont égaux à 0, et les $\mu-p$ bits de poids faible de la seconde adresse forment un nombre égal à $N/2^{p+1}-1$. A titre d'illustration, les adresses

produites pour le circuit de transformation de la figure 22 sont rassemblées à la figure 24.

5 Avantageusement, on pourra prévoir de stocker les échantillons d'adresse paire et les échantillons d'adresse impaire dans deux mémoires distinctes afin de diminuer le temps de traitement de l'opération de transformation.

10 Enfin, les adresses générées pour adresser les échantillons sont également utilisés pour adresser les coefficients W^S . La valeur du paramètre s est utilisé pour adresser le coefficient W^S correspondant. Dans cet exemple de réalisation, le paramètre s est égal:

15 - si $\mu-p-1=\mu-2$, au nombre formé par les $\mu-p-1$ bits de poids faible de la seconde adresse produite pour ledit circuit croisillon interne,

20 - si $\mu-p-1<\mu-2$, au nombre formé par les $\mu-p-1$ bits de poids faible de la seconde adresse produite pour ledit circuit croisillon interne, suivi de $p-1$ bits à zéro en fin de nombre,

25 - si $\mu-p-1>\mu-2$, au nombre formé par les $\mu-p-1$ bits de poids faible de la seconde adresse produite pour ledit circuit croisillon interne, ôté de ses $p+1$ bits de poids faible. Ce cas correspond au premier étage ($p=0$) des circuits de transformation fonctionnant selon un algorithme avec entrelacement fréquentiel.

REVENDECATIONS

1. Circuit de calcul de la transformée de Fourier rapide ou de la transformée de Fourier rapide inverse d'un signal numérique défini par une suite de N échantillons réels de départ $x(n)$, avec N puissance de deux et $n \in [0..N-1]$, comportant des étages successifs de transformation (2) pour transformer des échantillons d'entrée en échantillons de sortie, le dernier étage délivrant une suite de N échantillons de sortie $y(n)$ représentatifs de cette transformée de Fourier rapide ou rapide inverse, chaque étage étant muni d'un jeu de circuits croisillons à plusieurs entrées et à plusieurs sorties,
- l'ensemble des étages consistant matériellement en un unique jeu de circuits croisillons, des moyens pour changer sélectivement le mode opératoire desdits circuits croisillons parmi des modes opératoires associés chacun à un étage respectif de transformation, et des moyens pour mémoriser les échantillons d'entrée et de sortie de chaque étage de transformation dans une mémoire de stockage,
- caractérisé en ce que les échantillons de sortie $y(n)$ sont réels,
- et en ce que les échantillons de sortie d'un circuit croisillon se substituent dans la mémoire de stockage aux échantillons d'entrée de même rang correspondants, de telle sorte que, si les échantillons de départ $x(n)$ sont présentés à l'entrée du premier étage de transformation dans l'ordre binaire inverse de leur indice n , le dernier étage de transformation délivre les échantillons de sortie $y(n)$ dans l'ordre

croissant de l'indice n , lesquels échantillons de sortie sont définis par les relations suivantes:

$$y(0) = \text{Re}[X(0)]$$

$$y(n) = \text{Re}[X((n+1)/2)] \quad \text{pour } n \text{ impair et différent de } N-1$$

$$y(n) = \text{Im}[X(n/2)] \quad \text{pour } n \text{ pair et différent de } 0$$

$$y(N-1) = \text{Re}[X(N/2)]$$

où les échantillons $X(n)$, avec $n \in [0..N-1]$, désignent les échantillons complexes de la suite correspondant à la transformée de Fourier rapide ou rapide inverse de la suite des échantillons de départ $x(n)$.

2. Circuit de calcul de la transformée de Fourier rapide ou de la transformée de Fourier rapide inverse d'un signal numérique défini par une suite de N échantillons complexes $X(n)$ conjugués deux à deux représentés par une suite de N échantillons réels de départ $y(n)$, avec N puissance de deux et $n \in [0..N-1]$, les échantillons de départ $y(n)$ étant définis de la manière suivante :

$$y(0) = \text{Re}[X(0)]$$

$$y(n) = \text{Re}[X((n+1)/2)] \quad \text{pour } n \text{ impair et différent de } N-1$$

$$y(n) = \text{Im}[X(n/2)] \quad \text{pour } n \text{ pair et différent de } 0$$

$$y(N-1) = \text{Re}[X(N/2)]$$

lequel circuit de calcul comporte des étages successifs de transformation pour transformer des échantillons d'entrée en échantillons de sortie, le dernier étage délivrant une suite de N échantillons de sortie $x(n)$ représentatifs de cette transformée de Fourier rapide ou rapide inverse, chaque étage étant muni d'un jeu de circuits croisillons à plusieurs entrées et à plusieurs

sorties, l'ensemble des étages consistant matériellement en un unique jeu de circuits croisillons, des moyens pour changer sélectivement le mode opératoire desdits circuits croisillons parmi des modes opératoires associés chacun à un étage respectif de transformation, et des moyens pour mémoriser les échantillons d'entrée et de sortie de chaque étage de transformation dans une mémoire de stockage,

caractérisé en ce que les échantillons de sortie $x(n)$ sont réels,

et en ce que les échantillons de sortie d'un circuit croisillon se substituent dans la mémoire de stockage aux échantillons d'entrée de même rang correspondants, de telle sorte que, si les échantillons de départ $y(n)$ sont présentés à l'entrée du premier étage de transformation dans l'ordre croissant de l'indice n , le dernier étage de transformation délivre les échantillons de sortie $x(n)$ dans l'ordre binaire inverse de l'indice n .

3. Circuit de calcul selon la revendication 1 ou 2, caractérisé en ce que, à chaque étage de transformation, chaque circuit croisillon transforme des couples d'échantillons d'entrée, les rangs des échantillons d'entrée d'un même couple dans la suite des échantillons d'entrée dudit étage de transformation étant symétriques par rapport à un milieu entre les valeurs de rang extrêmes des échantillons d'entrée transformés par ledit circuit croisillon.

4. Circuit de calcul selon la revendication 3, caractérisé en ce qu'il comporte $\mu-1$ étages de transformation E_p avec $\mu=\log_2(N)$ et $p \in [0..\mu-2]$.

5. Circuit de calcul selon la revendication 4 elle-même dépendante de la revendication 1, caractérisé en ce qu'il comporte en outre :

5 - un circuit d'entrée (1) pour modifier l'ordre des échantillons de départ $x(n)$ rangés dans l'ordre croissant de l'indice n et les présenter dans l'ordre binaire inverse de l'indice n aux circuits croisillons du premier étage, et

10 - un circuit de sortie (3) pour traiter la suite d'échantillons de sortie $y(n)$ et délivrer une suite de N échantillons complexes $X(n)$ conjugués correspondant à la transformée de Fourier rapide ou rapide inverse de la suite des échantillons de départ $x(n)$.

15

6. Circuit de calcul selon la revendication 4 ou 5, elle-même dépendante de la revendication 1, caractérisé en ce que, à chaque étage de transformation E_p , les circuits croisillons sont répartis en $N/2^{p+2}$ blocs de calcul,

20

en ce que chaque bloc de calcul comporte un circuit croisillon de bord et/ou 2^{p-1} circuits croisillons internes,

25

en ce que le circuit croisillon de bord du bloc de calcul de rang α de l'étage E_β transforme les échantillons d'entrée de rang $2^{\beta+2}\alpha$, $2^{\beta+2}\alpha+2^{\beta+1}-1$, $2^{\beta+2}\alpha+2^{\beta+1}$, $2^{\beta+2}\alpha+2^{\beta+2}-1$ en des échantillons de sortie de même rang,

30

et en ce que le circuit croisillon interne de rang r du bloc de calcul de rang α de l'étage E_β transforme les échantillons d'entrée de rang $2^{\beta+2}\alpha+2r+1$, $2^{\beta+2}\alpha+2r+2$, $2^{\beta+2}\alpha+2^{\beta+2}-2r-3$, $2^{\beta+2}\alpha+2^{\beta+2}-2r-2$ en des échantillons de sortie de même rang, avec $\beta \geq 1$.

7. Circuit de calcul selon la revendication 6, caractérisé en ce que, à chaque circuit croisillon est affecté un coefficient w^s , coefficient sur lequel est basé l'opération de calcul à l'intérieur du circuit croisillon, ledit coefficient étant égal à $e^{-j(2\pi s/N)}$ avec $s \in [0..N/4-1]$ dans le cas d'une transformée de Fourier rapide et est égal à $e^{j(2\pi s/N)}$ avec $s \in [0..N/4-1]$ dans le cas d'une transformée de Fourier rapide inverse.

8. Circuit de calcul selon la revendication 7, caractérisé en ce que, au circuit croisillon interne de rang r du bloc de calcul de rang α de l'étage E_β est affecté le coefficient w^δ avec $\delta = (r+1) \cdot (N/2^{\beta+2})$.

9. Circuit de calcul selon la revendication 8, caractérisé en ce que les circuits croisillons sont tous de même type et comportent

- quatre entrées pour recevoir des échantillons d'entrée et quatre sorties pour délivrer des échantillons de sortie,

- quatre entrées supplémentaires respectivement de mode primaire, de mode secondaire, de permutation et de coefficient,

afin d'appliquer sélectivement sur les échantillons d'entrée, des opérations de transformation différentes déterminées chacune par les valeurs attribuées à des signaux de mode primaire, de mode secondaire, de permutation et à un coefficient admis sur lesdites entrées supplémentaires correspondantes.

10. Circuit de calcul selon la revendication 9, caractérisé en ce que, pour chaque circuit croisillon, le signal de mode primaire vaut 0 s'il s'agit d'un circuit croisillon de bord et 1 s'il s'agit d'un circuit croisillon interne,

en ce que le signal de permutation vaut 0 pour les blocs de calcul de rang pair, y compris le rang 0, et 1 pour les autres.

10 11. Circuit de calcul selon la revendication 10, caractérisé en ce que chaque bloc de calcul de l'étage E_p comporte un circuit croisillon de bord et 2^{p-1} circuits croisillons internes.

15 12. Circuit de calcul selon la revendication 11, caractérisé en ce que le signal de mode secondaire vaut 1 si le circuit croisillon de bord appartient au dernier étage et 0 sinon.

20 13. Circuit de calcul selon la revendication 12, caractérisé en ce que, pour quatre échantillons d'entrée e_1, e_2, e_3 et e_4 et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie s_1, s_2, s_3 et s_4 suivants

25 (1) si les signaux de mode primaire et de mode secondaire sont à 0:

$$s_1 = e_1 + e_2$$

$$s_2 = e_1 - e_2$$

$$s_3 = e_4 - e_3$$

$$s_4 = e_3 + e_4$$

30 (2) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1:

$$s_1 = e_1 + e_2 + e_3 + e_4$$

$$s_2 = e_1 - e_2$$

$$s_3 = e_4 - e_3$$

$$s4 = (e1 + e2) - (e3 + e4)$$

(3) si le signal de mode primaire est à 1 et le signal de permutation à 0:

$$s1 = e1 + A.e3 - B.e4$$

$$s2 = e2 + B.e3 + A.e4$$

5

$$s3 = e1 - A.e3 + B.e4$$

$$s4 = -e2 + B.e3 + A.e4$$

(4) si le signal de mode primaire est à 1 et le signal de permutation à 1:

$$s1 = e1 - A.e3 + B.e4$$

$$s2 = -e2 + B.e3 + A.e4$$

10

$$s3 = e1 + A.e3 - B.e4$$

$$s4 = e2 + B.e3 + A.e4$$

14. Circuit de calcul selon la revendication 10, caractérisé en ce que chaque bloc de calcul de l'étage E_p comporte:

15

- 2^{p-1} circuits croisillons internes et un circuit croisillon de bord pour les valeurs paires de l'indice p ainsi que pour le dernier étage si μ est pair, et

- 2^{p-1} circuits croisillons internes sinon.

20

15. Circuit de calcul selon la revendication 13, caractérisé en ce que, le signal de mode secondaire vaut 1 si le circuit croisillon de bord appartient au dernier étage avec μ impair et 0 sinon.

25

16. Circuit de calcul selon la revendication 15, caractérisé en ce que, pour quatre échantillons d'entrée $e1$, $e2$, $e3$ et $e4$ et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie $s1$, $s2$, $s3$ et $s4$ suivants

30

(1) si les signaux de mode primaire, de mode secondaire et de permutation sont à 0: $s1 = e1 + e2 + e3 + e4$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

$$s4 = (e1 + e2) - (e3 + e4)$$

(2) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1: $s1 = e1 + e4$

5

$$s2 = e2$$

$$s3 = e3$$

$$s4 = e1 - e4$$

(3) si le signal de mode primaire est à 0 et le signal de permutation à 1: $s1 = (e3 + e4) - (e1 + e2)$

10

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

$$s4 = e1 + e2 + e3 + e4$$

(4) si le signal de mode primaire est à 1 et le signal de permutation à 0: $s1 = e1 + A.e3 - B.e4$

15

$$s2 = e2 + B.e3 + A.e4$$

$$s3 = e1 - A.e3 + B.e4$$

$$s4 = -e2 + B.e3 + A.e4$$

(5) si le signal de mode primaire est à 1 et le signal de permutation à 1: $s1 = e1 - A.e3 + B.e4$

20

$$s2 = -e2 + B.e3 + A.e4$$

$$s3 = e1 + A.e3 - B.e4$$

$$s4 = e2 + B.e3 + A.e4$$

17. Circuit de calcul selon la revendication 10, caractérisé en ce que chaque bloc de calcul de l'étage E_p comporte:

25

- 2^{P-1} circuits croisillons internes et un circuit croisillon de bord pour les valeurs paires de l'indice p , et

30

- 2^{P-1} circuits croisillons internes sinon.

18. Circuit de calcul selon la revendication 17, caractérisé en ce que le signal de mode secondaire vaut

1 si le circuit croisillon de bord appartient au premier étage avec μ pair et 0 sinon.

5 19. Circuit de calcul selon la revendication 18, caractérisé en ce que, pour quatre échantillons d'entrée e_1, e_2, e_3 et e_4 et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie s_1, s_2, s_3 et s_4 suivants

10 (1) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1: $s_1 = e_1 + e_2$

$$s_2 = e_1 - e_2$$

$$s_3 = e_4 - e_3$$

$$s_4 = e_3 + e_4$$

15 (2) si les signaux de mode primaire, de mode secondaire et de permutation sont à 0: $s_1 = e_1 + e_2 + e_3 + e_4$

$$s_2 = e_1 - e_2$$

$$s_3 = e_4 - e_3$$

$$s_4 = (e_1 + e_2) - (e_3 + e_4)$$

20 (3) si les signaux de mode primaire et de mode secondaire sont à 0 et le signal de permutation à 1:

$$s_1 = (e_3 + e_4) - (e_1 + e_2)$$

$$s_2 = e_1 - e_2$$

$$s_3 = e_4 - e_3$$

$$s_4 = e_1 + e_2 + e_3 + e_4$$

25 (4) si le signal de mode primaire est à 1 et le signal de permutation à 0:

$$s_1 = e_1 + A.e_3 - B.e_4$$

$$s_2 = e_2 + B.e_3 + A.e_4$$

$$s_3 = e_1 - A.e_3 + B.e_4$$

$$s_4 = -e_2 + B.e_3 + A.e_4$$

30 (5) si le signal de mode primaire est à 1 et le signal de permutation à 1:

$$s_1 = e_1 - A.e_3 + B.e_4$$

$$s_2 = -e_2 + B.e_3 + A.e_4$$

$$s_3 = e_1 + A.e_3 - B.e_4$$

$$s_4 = e_2 + B.e_3 + A.e_4$$

20. Circuit de calcul selon la revendication 8, caractérisé en ce que les circuits croisillons sont
5 tous de même type et comportent

- quatre entrées pour recevoir des échantillons d'entrée et quatre sorties pour délivrer des échantillons de sortie,

10 - trois entrées supplémentaires respectivement de mode primaire, de permutation et de coefficient,

afin d'appliquer sélectivement sur les échantillons d'entrée, des opérations de transformation différentes déterminées chacune par les valeurs attribuées à des signaux de mode primaire, de
15 permutation et à un coefficient admis sur lesdites entrées supplémentaires correspondantes.

et en ce que le circuit de sortie comporte des moyens pour effectuer une addition et une soustraction avec le premier et le dernier échantillon de sortie du
20 dernier étage de transformation.

21. Circuit de calcul selon la revendication 20, caractérisé en ce que chaque bloc de calcul de l'étage E_p comporte un circuit croisillon de bord et $2^p - 1$
25 circuits croisillons internes.

22. Circuit de calcul selon la revendication 21, caractérisé en ce que, pour quatre échantillons d'entrée e_1 , e_2 , e_3 et e_4 et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie s_1 , s_2 , s_3 et s_4 suivants
30

(1) si le signal de mode primaire est à 0:

$$s_1 = e_1 + e_2$$

$$s_2 = e_1 - e_2$$

$$s_3 = e_4 - e_3$$

$$s_4 = e_3 + e_4$$

(2) si le signal de mode primaire est à 1 et le signal
5 de permutation à 0:

$$s_1 = e_1 + A.e_3 - B.e_4$$

$$s_2 = e_2 + B.e_3 + A.e_4$$

$$s_3 = e_1 - A.e_3 + B.e_4$$

$$s_4 = -e_2 + B.e_3 + A.e_4$$

(3) si le signal de mode primaire est à 1 et le signal
10 de permutation à 1:

$$s_1 = e_1 - A.e_3 + B.e_4$$

$$s_2 = -e_2 + B.e_3 + A.e_4$$

$$s_3 = e_1 + A.e_3 - B.e_4$$

$$s_4 = e_2 + B.e_3 + A.e_4$$

23. Circuit de calcul selon la revendication 9 ou
15 20, caractérisé en ce qu'il est prévu des moyens pour
générer des première et seconde adresses binaires de μ
bits par circuit croisillon, chaque adresse binaire
correspondant au rang d'un échantillon d'entrée dudit
circuit croisillon et la seconde adresse binaire étant
20 supérieure à la première adresse binaire.

24. Circuit de calcul selon la revendication 23,
caractérisé en ce que lesdites première et seconde
adresses binaires sont consécutives s'il s'agit d'un
25 circuit croisillon interne.

25. Circuit de calcul selon la revendication 23 ou 24,
caractérisé en ce que, s'il s'agit d'un circuit
croisillon de bord, les $p+2$ bits de poids faible de la
30 première adresse sont égaux à 0, et les $p+2$ bits de
poids faible de la seconde adresse forment un nombre
égal à $2^{p+1}-1$.

26. Circuit de calcul selon la revendication 24 ou 25, caractérisé en ce que l'adresse des deux autres échantillons à appliquer sur les entrées du circuit croisillon, qu'il soit de bord ou interne, sont obtenus en inversant les $(p+2)$ bits de poids faible desdites première et seconde adresses produites.

27. Circuit de calcul selon la revendication 26, caractérisé en ce que les échantillons d'adresse paire et les échantillons d'adresse impaire sont stockés dans deux mémoires distinctes.

28. Circuit de calcul selon la revendication 25, caractérisé en ce que la valeur du paramètre s du coefficient w^s affecté à un circuit croisillon interne de l'étage E_p est codé sur $\mu-2$ bits, et correspond:

- si $p+1=\mu-2$, au nombre formé par les $p+1$ bits de poids faible de la seconde adresse binaire produite pour ledit circuit croisillon interne,

- si $p+1<\mu-2$, au nombre formé par les $p+1$ bits de poids faible de la seconde adresse binaire produite pour ledit circuit croisillon interne, suivi de $\mu-p-3$ bits à zéro en fin de nombre,

- si $p+1>\mu-2$, au nombre formé par les $p+1$ bits de poids faible de la seconde adresse binaire produite pour ledit circuit croisillon interne, ôté de ses $\mu-p-1$ bits de poids faible.

29. Circuit de calcul selon la revendication 4 elle-même dépendante de la revendication 2, caractérisé en ce que, à chaque étage de transformation E_p , les circuits croisillons sont répartis en 2^p blocs de calcul,

en ce que chaque bloc de calcul comporte un circuit croisillon de bord et $N/2^{p+2}-1$ circuits croisillons internes,

5 en ce que le circuit croisillon de bord du bloc de calcul de rang α de l'étage E_β transforme les échantillons d'entrée de rang $2^{\mu-\beta}\alpha$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-1$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-1$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-1$ en des échantillons de sortie de même rang,

10 et en ce que le circuit croisillon interne de rang r du bloc de calcul de rang α de l'étage E_β transforme les échantillons d'entrée de rang $2^{\mu-\beta}\alpha+2r+1$, $2^{\mu-\beta}\alpha+2r+2$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-2r-3$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-2r-2$ en des échantillons de sortie de même rang.

15 30. Circuit de calcul selon la revendication 29, caractérisé en ce qu'il comporte en outre un circuit de sortie pour modifier l'ordre des échantillons de sortie du dernier étage et les délivrer dans l'ordre croissant de l'indice n à la sortie du circuit.

20

31. Circuit de calcul selon la revendication 29 ou 30, caractérisé en ce que, à chaque circuit croisillon est affecté un coefficient w^s , coefficient sur lequel est basé l'opération de calcul à l'intérieur du circuit
25 croisillon, ledit coefficient étant égal à $e^{-j(2\pi s/N)}$ avec $s \in [0..N/4-1]$ dans le cas d'une transformée de Fourier rapide et est égal à $e^{j(2\pi s/N)}$ avec $s \in [0..N/4-1]$ dans le cas d'une transformée de Fourier rapide inverse.

30

32. Circuit de calcul selon la revendication 31, caractérisé en ce que, au circuit croisillon interne de

rang τ du bloc de calcul de rang α de l'étage E_β est associé le coefficient w^δ avec $\delta = (\tau+1).2^\beta$.

5 33. circuit de calcul selon la revendication 32, caractérisé en ce que les circuits croisillons sont tous de même type et comportent

- quatre entrées pour recevoir des échantillons d'entrée et quatre sorties pour délivrer des échantillons de sortie,

10 - quatre entrées supplémentaires respectivement de mode primaire, de mode secondaire, de permutation et de coefficient,

15 afin d'appliquer sélectivement sur les échantillons d'entrée, des opérations de transformation différentes déterminées chacune par les valeurs attribuées à des signaux de mode primaire, de mode secondaire, de permutation et à un coefficient admis sur lesdites entrées supplémentaires correspondantes.

20 34. Circuit de calcul selon la revendication 33, caractérisé en ce que, pour chaque circuit croisillon, le signal de mode primaire vaut 0 s'il s'agit d'un circuit croisillon de bord et 1 s'il s'agit d'un circuit croisillon interne.

25 et en ce que le signal de permutation vaut 0 pour les blocs de calcul de rang pair, y compris le rang 0, et 1 pour les valeurs impaires.

30 35. Circuit de calcul selon la revendication 31 ou 34, caractérisé en ce que le signal de mode secondaire vaut 1 si le circuit croisillon, qu'il soit de bord ou interne, appartient au premier étage et 0 sinon.

36. Circuit de calcul selon la revendication 35, caractérisé en ce que, pour quatre échantillons d'entrée e_1 , e_2 , e_3 et e_4 et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie s_1 , s_2 , s_3 et s_4 suivants

(1) si les signaux de mode primaire et de mode secondaire sont à 0:

$$s_1 = (e_1 + e_2)/2$$

$$s_2 = (e_1 - e_2)/2$$

$$s_3 = (e_4 - e_3)/2$$

$$s_4 = (e_3 + e_4)/2$$

(2) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1:

$$s_1 = [(e_1 + e_4)/2 + e_2]/2$$

$$s_2 = [(e_1 + e_4)/2 - e_2]/2$$

$$s_3 = -[e_3 - (e_1 - e_4)/2]/2$$

$$s_4 = [e_3 + (e_1 - e_4)/2]/2$$

(3) si le signal de mode primaire est à 1 et le signal de permutation à 0:

$$s_1 = (e_1 + e_3)/2$$

$$s_2 = (e_2 - e_4)/2$$

$$s_3 = [(e_1 - e_3).A - (e_2 + e_4).B]/2$$

$$s_4 = [-(e_1 - e_3).B + (e_2 + e_4).A]/2$$

(4) si le signal de mode primaire est à 1 et le signal de permutation à 1:

$$s_1 = [(e_1 - e_3).A - (e_2 + e_4).B]/2$$

$$s_2 = [-(e_1 - e_3).B + (e_2 + e_4).A]/2$$

$$s_3 = (e_1 + e_3)/2$$

$$s_4 = (e_2 - e_4)/2$$

37. Circuit de calcul selon la revendication 33, caractérisé en ce qu'il est prévu des moyens pour générer des première et seconde adresses binaires de μ bits par circuit croisillon, chaque adresse binaire correspondant au rang d'un échantillon d'entrée dudit circuit croisillon et la seconde adresse binaire étant supérieure à la première adresse binaire.

38. Circuit de calcul selon la revendication 37, caractérisé en ce que lesdites première et seconde adresses binaires sont consécutives s'il s'agit d'un circuit croisillon interne.

39. Circuit de calcul selon la revendication 37 ou 38, caractérisé en ce que, s'il s'agit d'un circuit croisillon de bord, les $\mu-p$ bits de poids faible de la première adresse sont égaux à 0, et les $\mu-p$ bits de poids faible de la seconde adresse forment un nombre égal à $N/2^{p+1}-1$.

40. Circuit de calcul selon la revendication 38 ou 39, caractérisé en ce que l'adresse des deux autres échantillons à appliquer sur les entrées du circuit croisillon sont obtenus en inversant les $\mu-p$ bits de poids faible des deux adresses produites.

41. Circuit de calcul selon la revendication 40, caractérisé en ce que les échantillons d'adresse paire et les échantillons d'adresse impaire sont stockés dans deux mémoires distinctes.

42. Circuit de calcul selon la revendication 41, caractérisé en ce que la valeur du paramètre s du coefficient w^s affecté à un circuit croisillon interne de l'étage E_p est codé sur $\mu-2$ bits, et correspond:

- si $\mu-p-1=\mu-2$, au nombre formé par les $\mu-p-1$ bits de poids faible de la seconde adresse produite pour ledit circuit croisillon interne,

- si $\mu-p-1<\mu-2$, au nombre formé par les $\mu-p-1$ bits de poids faible de la seconde adresse produite pour

ledit circuit croisillon interne, suivi de $p-1$ bits à zéro en fin de nombre,

-
- 5 - si $\mu-p-1 > \mu-2$, au nombre formé par les $\mu-p-1$ bits de poids faible de la seconde adresse produite pour le dit circuit croisillon interne, ôté de ses $p+1$ bits de poids faible.

REVENDECATIONS

1. Circuit de calcul de la transformée de Fourier rapide ou de la transformée de Fourier rapide inverse
- 5 d'un signal numérique défini par une suite de N échantillons réels de départ $x(n)$, avec N puissance de deux et $n \in [0..N-1]$, comportant des étages successifs de transformation (2) pour transformer des échantillons d'entrée en échantillons de sortie, le dernier étage
- 10 délivrant une suite de N échantillons de sortie $y(n)$ représentatifs de cette transformée de Fourier rapide ou rapide inverse, chaque étage étant muni d'un jeu de circuits croisillons à plusieurs entrées et à plusieurs sorties,
- 15 l'ensemble des étages consistant matériellement en un unique jeu de circuits croisillons, des moyens pour changer sélectivement le mode opératoire desdits circuits croisillons parmi des modes opératoires associés chacun à un étage respectif de transformation,
- 20 et des moyens pour mémoriser les échantillons d'entrée et de sortie de chaque étage de transformation dans une mémoire de stockage,
- caractérisé en ce que les échantillons de sortie $y(n)$ sont réels,
- 25 et en ce que les échantillons de sortie d'un circuit croisillon se substituent dans la mémoire de stockage aux échantillons d'entrée de même rang correspondants, de telle sorte que, si les échantillons de départ $x(n)$ sont présentés à l'entrée du premier
- 30 étage de transformation dans l'ordre binaire inverse de leur indice n , le dernier étage de transformation délivre les échantillons de sortie $y(n)$ dans l'ordre

croissant de l'indice n , lesquels échantillons de sortie sont définis par les relations suivantes:

$$y(0) = \text{Re}[X(0)]$$

$$y(n) = \text{Re}[X((n+1)/2)] \quad \text{pour } n \text{ impair et}$$

5

différent de $N-1$

$$y(n) = \text{Im}[X(n/2)] \quad \text{pour } n \text{ pair et différent de } 0$$

$$y(N-1) = \text{Re}[X(N/2)]$$

10 où les échantillons $X(n)$, avec $n \in [0..N-1]$, désignent les échantillons complexes de la suite correspondant à la transformée de Fourier rapide ou rapide inverse de la suite des échantillons de départ $x(n)$.

2. Circuit de calcul de la transformée de Fourier rapide ou de la transformée de Fourier rapide inverse
15 d'un signal numérique défini par une suite de N échantillons complexes $X(n)$ conjugués deux à deux représentés par une suite de N échantillons réels de départ $y(n)$, avec N puissance de deux et $n \in [0..N-1]$, les échantillons de départ $y(n)$ étant définis de la
20 manière suivante :

$$y(0) = \text{Re}[X(0)]$$

$$y(n) = \text{Re}[X((n+1)/2)] \quad \text{pour } n \text{ impair et différent de } N-1$$

$$y(n) = \text{Im}[X(n/2)] \quad \text{pour } n \text{ pair et différent de } 0$$

25

$$y(N-1) = \text{Re}[X(N/2)]$$

lequel circuit de calcul comporte des étages successifs de transformation pour transformer des échantillons d'entrée en échantillons de sortie, le dernier étage
30 délivrant une suite de N échantillons de sortie $x(n)$ représentatifs de cette transformée de Fourier rapide ou rapide inverse, chaque étage étant muni d'un jeu de circuits croisillons à plusieurs entrées et à plusieurs

sorties, l'ensemble des étages consistant matériellement en un unique jeu de circuits

croisillons, des moyens pour changer sélectivement le mode opératoire desdits circuits croisillons parmi des modes opératoires associés chacun à un étage respectif de transformation, et des moyens pour mémoriser les échantillons d'entrée et de sortie de chaque étage de transformation dans une mémoire de stockage,

caractérisé en ce que les échantillons de sortie $x(n)$ sont réels,

et en ce que les échantillons de sortie d'un circuit croisillon se substituent dans la mémoire de stockage aux échantillons d'entrée de même rang correspondants, de telle sorte que, si les échantillons de départ $y(n)$ sont présentés à l'entrée du premier étage de transformation dans l'ordre croissant de l'indice n , le dernier étage de transformation délivre les échantillons de sortie $x(n)$ dans l'ordre binaire inverse de l'indice n .

3. Circuit de calcul selon la revendication 1 ou 2, caractérisé en ce que, à chaque étage de transformation, chaque circuit croisillon transforme des couples d'échantillons d'entrée, les rangs des échantillons d'entrée d'un même couple dans la suite des échantillons d'entrée dudit étage de transformation étant symétriques par rapport à un milieu entre les valeurs de rang extrêmes des échantillons d'entrée transformés par ledit circuit croisillon.

4. Circuit de calcul selon la revendication 3, caractérisé en ce qu'il comporte $\mu-1$ étages de transformation E_p avec $\mu = \log_2(N)$ et $p \in [0.. \mu-2]$.

5. Circuit de calcul selon la revendication 4 elle-même dépendante de la revendication 3 elle-même dépendante de la revendication 1, caractérisé en ce qu'il comporte en outre :

- un circuit d'entrée (1) pour modifier l'ordre des échantillons de départ $x(n)$ rangés dans l'ordre croissant de l'indice n et les présenter dans l'ordre binaire inverse de l'indice n aux circuits croisillons du premier étage, et

- un circuit de sortie (3) pour traiter la suite d'échantillons de sortie $y(n)$ et délivrer une suite de N échantillons complexes $X(n)$ conjugués correspondant à la transformée de Fourier rapide ou rapide inverse de la suite des échantillons de départ $x(n)$.

6. Circuit de calcul selon la revendication 4 elle-même dépendante de la revendication 3 elle-même dépendante de la revendication 1, ou selon la revendication 5, caractérisé en ce que, à chaque étage de transformation E_p , les circuits croisillons sont répartis en $N/2^{p+2}$ blocs de calcul,

en ce que chaque bloc de calcul comporte un circuit croisillon de bord et/ou 2^{p-1} circuits croisillons internes,

en ce que le circuit croisillon de bord du bloc de calcul de rang α de l'étage E_β transforme les échantillons d'entrée de rang $2^{\beta+2}\alpha$, $2^{\beta+2}\alpha+2^{\beta+1}-1$, $2^{\beta+2}\alpha+2^{\beta+1}$, $2^{\beta+2}\alpha+2^{\beta+2}-1$ en des échantillons de sortie de même rang,

et en ce que le circuit croisillon interne de rang r du bloc de calcul de rang α de l'étage E_β transforme les échantillons d'entrée de rang $2^{\beta+2}\alpha+2r+1$,

$2^{\beta+2}\alpha+2\tau+2$, $2^{\beta+2}\alpha+2^{\beta+2}-2\tau-3$, $2^{\beta+2}\alpha+2^{\beta+2}-2\tau-2$ en des échantillons de sortie de même rang, avec $\beta \geq 1$.

7. Circuit de calcul selon la revendication 6, caractérisé en ce que, à chaque circuit croisillon est affecté un coefficient w^s , coefficient sur lequel est basé l'opération de calcul à l'intérieur du circuit croisillon, ledit coefficient étant égal à $e^{-j(2\pi s/N)}$ avec $s \in [0..N/4-1]$ dans le cas d'une transformée de Fourier rapide et est égal à $e^{j(2\pi s/N)}$ avec $s \in [0..N/4-1]$ dans le cas d'une transformée de Fourier rapide inverse.

8. Circuit de calcul selon la revendication 7, caractérisé en ce que, au circuit croisillon interne de rang τ du bloc de calcul de rang α de l'étage E_β est affecté le coefficient w^δ avec $\delta = (\tau+1).(N/2^{\beta+2})$.

9. Circuit de calcul selon la revendication 8, caractérisé en ce que les circuits croisillons sont tous de même type et comportent

- quatre entrées pour recevoir des échantillons d'entrée et quatre sorties pour délivrer des échantillons de sortie,

- quatre entrées supplémentaires respectivement de mode primaire, de mode secondaire, de permutation et de coefficient,

afin d'appliquer sélectivement sur les échantillons d'entrée, des opérations de transformation différentes déterminées chacune par les valeurs attribuées à des signaux de mode primaire, de mode secondaire, de permutation et à un coefficient admis sur lesdites entrées supplémentaires correspondantes.

10. Circuit de calcul selon la revendication 9, caractérisé en ce que, pour chaque circuit croisillon, le signal de mode primaire vaut 0 s'il s'agit d'un circuit croisillon de bord et 1 s'il s'agit d'un circuit croisillon interne,

en ce que le signal de permutation vaut 0 pour les blocs de calcul de rang pair, y compris le rang 0, et 1 pour les autres.

11. Circuit de calcul selon la revendication 10, caractérisé en ce que chaque bloc de calcul de l'étage E_p comporte un circuit croisillon de bord et $2^p - 1$ circuits croisillons internes.

12. Circuit de calcul selon la revendication 11, caractérisé en ce que le signal de mode secondaire vaut 1 si le circuit croisillon de bord appartient au dernier étage et 0 sinon.

13. Circuit de calcul selon la revendication 12, caractérisé en ce que, pour quatre échantillons d'entrée e_1 , e_2 , e_3 et e_4 et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie s_1 , s_2 , s_3 et s_4 suivants

(1) si les signaux de mode primaire et de mode secondaire sont à 0:

$$s_1 = e_1 + e_2$$

$$s_2 = e_1 - e_2$$

$$s_3 = e_4 - e_3$$

$$s_4 = e_3 + e_4$$

(2) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1:

$$s_1 = e_1 + e_2 + e_3 + e_4$$

$$s_2 = e_1 - e_2$$

$$s3 = e4 - e3$$

$$s4 = (e1 + e2) - (e3 + e4)$$

(3) si le signal de mode primaire est à 1 et le signal de permutation à 0:

5

$$s1 = e1 + A.e3 - B.e4$$

$$s2 = e2 + B.e3 + A.e4$$

$$s3 = e1 - A.e3 + B.e4$$

$$s4 = -e2 + B.e3 + A.e4$$

(4) si le signal de mode primaire est à 1 et le signal de permutation à 1:

10

$$s1 = e1 - A.e3 + B.e4$$

$$s2 = -e2 + B.e3 + A.e4$$

$$s3 = e1 + A.e3 - B.e4$$

$$s4 = e2 + B.e3 + A.e4$$

14. Circuit de calcul selon la revendication 10, caractérisé en ce que chaque bloc de calcul de l'étage E_p comporte:

15

- 2^{p-1} circuits croisillons internes et un circuit croisillon de bord pour les valeurs paires de l'indice p ainsi que pour le dernier étage si μ est pair, et

20

- 2^{p-1} circuits croisillons internes sinon.

15. Circuit de calcul selon la revendication 13, caractérisé en ce que, le signal de mode secondaire vaut 1 si le circuit croisillon de bord appartient au dernier étage avec μ impair et 0 sinon.

25

16. Circuit de calcul selon la revendication 15, caractérisé en ce que, pour quatre échantillons d'entrée $e1$, $e2$, $e3$ et $e4$ et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie $s1$, $s2$, $s3$ et $s4$ suivants

30

(1) si les signaux de mode primaire, de mode secondaire et de permutation sont à 0: $s1 = e1 + e2 + e3 + e4$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

$$s4 = (e1 + e2) - (e3 + e4)$$

5 (2) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1: $s1 = e1 + e4$

$$s2 = e2$$

$$s3 = e3$$

$$s4 = e1 - e4$$

10 (3) si le signal de mode primaire est à 0 et le signal de permutation à 1: $s1 = (e3 + e4) - (e1 + e2)$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

$$s4 = e1 + e2 + e3 + e4$$

15 (4) si le signal de mode primaire est à 1 et le signal de permutation à 0: $s1 = e1 + A.e3 - B.e4$

$$s2 = e2 + B.e3 + A.e4$$

$$s3 = e1 - A.e3 + B.e4$$

$$s4 = -e2 + B.e3 + A.e4$$

20 (5) si le signal de mode primaire est à 1 et le signal de permutation à 1: $s1 = e1 - A.e3 + B.e4$

$$s2 = -e2 + B.e3 + A.e4$$

$$s3 = e1 + A.e3 - B.e4$$

$$s4 = e2 + B.e3 + A.e4$$

25 17. Circuit de calcul selon la revendication 10, caractérisé en ce que chaque bloc de calcul de l'étage E_p comporte:

30 - 2^{p-1} circuits croisillons internes et un circuit croisillon de bord pour les valeurs paires de l'indice p , et

- 2^{p-1} circuits croisillons internes sinon.

18. Circuit de calcul selon la revendication 17, caractérisé en ce que le signal de mode secondaire vaut 1 si le circuit croisillon de bord appartient au premier étage avec μ pair et 0 sinon.

5

19. Circuit de calcul selon la revendication 18, caractérisé en ce que, pour quatre échantillons d'entrée e_1 , e_2 , e_3 et e_4 et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie s_1 , s_2 , s_3 et s_4 suivants

10

(1) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1: $s_1 = e_1 + e_2$

$$s_2 = e_1 - e_2$$

$$s_3 = e_4 - e_3$$

15

$$s_4 = e_3 + e_4$$

(2) si les signaux de mode primaire, de mode secondaire et de permutation sont à 0: $s_1 = e_1 + e_2 + e_3 + e_4$

$$s_2 = e_1 - e_2$$

$$s_3 = e_4 - e_3$$

20

$$s_4 = (e_1 + e_2) - (e_3 + e_4)$$

(3) si les signaux de mode primaire et de mode secondaire sont à 0 et le signal de permutation à 1:

$$s_1 = (e_3 + e_4) - (e_1 + e_2)$$

$$s_2 = e_1 - e_2$$

25

$$s_3 = e_4 - e_3$$

$$s_4 = e_1 + e_2 + e_3 + e_4$$

(4) si le signal de mode primaire est à 1 et le signal de permutation à 0:

$$s_1 = e_1 + A.e_3 - B.e_4$$

$$s_2 = e_2 + B.e_3 + A.e_4$$

30

$$s_3 = e_1 - A.e_3 + B.e_4$$

$$s_4 = -e_2 + B.e_3 + A.e_4$$

(5) si le signal de mode primaire est à 1 et le signal de permutation à 1: $s_1 = e_1 - A.e_3 + B.e_4$

$$s_2 = -e_2 + B.e_3 + A.e_4$$

$$s_3 = e_1 + A.e_3 - B.e_4$$

$$s_4 = e_2 + B.e_3 + A.e_4$$

5 20. Circuit de calcul selon la revendication 8, caractérisé en ce que les circuits croisillons sont tous de même type et comportent

10 - quatre entrées pour recevoir des échantillons d'entrée et quatre sorties pour délivrer des échantillons de sortie,

- trois entrées supplémentaires respectivement de mode primaire, de permutation et de coefficient,

15 afin d'appliquer sélectivement sur les échantillons d'entrée, des opérations de transformation différentes déterminées chacune par les valeurs attribuées à des signaux de mode primaire, de permutation et à un coefficient admis sur lesdites entrées supplémentaires correspondantes.

20 et en ce que le circuit de sortie comporte des moyens pour effectuer une addition et une soustraction avec le premier et le dernier échantillon de sortie du dernier étage de transformation.

25 21. Circuit de calcul selon la revendication 20, caractérisé en ce que chaque bloc de calcul de l'étage E_p comporte un circuit croisillon de bord et $2^p - 1$ circuits croisillons internes.

30 22. Circuit de calcul selon la revendication 21, caractérisé en ce que, pour quatre échantillons d'entrée e_1 , e_2 , e_3 et e_4 et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie s_1 , s_2 , s_3 et s_4 suivants

(1) si le signal de mode primaire est à 0:

$$s1 = e1 + e2$$

$$s2 = e1 - e2$$

$$s3 = e4 - e3$$

5

$$s4 = e3 + e4$$

(2) si le signal de mode primaire est à 1 et le signal de permutation à 0:

$$s1 = e1 + A.e3 - B.e4$$

$$s2 = e2 + B.e3 + A.e4$$

$$s3 = e1 - A.e3 + B.e4$$

10

$$s4 = -e2 + B.e3 + A.e4$$

(3) si le signal de mode primaire est à 1 et le signal de permutation à 1:

$$s1 = e1 - A.e3 + B.e4$$

$$s2 = -e2 + B.e3 + A.e4$$

$$s3 = e1 + A.e3 - B.e4$$

15

$$s4 = e2 + B.e3 + A.e4$$

23. Circuit de calcul selon la revendication 9 ou 20, caractérisé en ce qu'il est prévu des moyens pour générer des première et seconde adresses binaires de μ bits par circuit croisillon, chaque adresse binaire correspondant au rang d'un échantillon d'entrée dudit circuit croisillon et la seconde adresse binaire étant supérieure à la première adresse binaire.

20

24. Circuit de calcul selon la revendication 23, caractérisé en ce que lesdites première et seconde adresses binaires sont consécutives s'il s'agit d'un circuit croisillon interne.

25

25. Circuit de calcul selon la revendication 23 ou 24, caractérisé en ce que, s'il s'agit d'un circuit croisillon de bord, les $p+2$ bits de poids faible de la première adresse sont égaux à 0, et les $p+2$ bits de

30

poids faible de la seconde adresse forment un nombre égal à $2^{p+1}-1$.

5 26. Circuit de calcul selon la revendication 24 ou 25, caractérisé en ce que l'adresse des deux autres échantillons à appliquer sur les entrées du circuit croisillon, qu'il soit de bord ou interne, sont obtenus en inversant les $(p+2)$ bits de poids faible desdites première et seconde adresses produites.

10

27. Circuit de calcul selon la revendication 26, caractérisé en ce que les échantillons d'adresse paire et les échantillons d'adresse impaire sont stockés dans deux mémoires distinctes.

15

28. Circuit de calcul selon la revendication 25, caractérisé en ce que la valeur du paramètre s du coefficient W^s affecté à un circuit croisillon interne de l'étage E_p est codé sur $\mu-2$ bits, et correspond:

20 - si $p+1=\mu-2$, au nombre formé par les $p+1$ bits de poids faible de la seconde adresse binaire produite pour ledit circuit croisillon interne,

25 - si $p+1<\mu-2$, au nombre formé par les $p+1$ bits de poids faible de la seconde adresse binaire produite pour ledit circuit croisillon interne, suivi de $\mu-p-3$ bits à zéro en fin de nombre,

30 - si $p+1>\mu-2$, au nombre formé par les $p+1$ bits de poids faible de la seconde adresse binaire produite pour ledit circuit croisillon interne, ôté de ses $\mu-p-1$ bits de poids faible.

29. Circuit de calcul selon la revendication 4 elle-même dépendante de la revendication 3 elle-même

dépendante de la revendication 2, caractérisé en ce que, à chaque étage de transformation E_p , les circuits croisillons sont répartis en 2^P blocs de calcul,

5 en ce que chaque bloc de calcul comporte un circuit croisillon de bord et $N/2^{P+2}-1$ circuits croisillons internes,

10 en ce que le circuit croisillon de bord du bloc de calcul de rang α de l'étage E_β transforme les échantillons d'entrée de rang $2^{\mu-\beta}\alpha$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-1$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-1$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-1$ en des échantillons de sortie de même rang,

15 et en ce que le circuit croisillon interne de rang τ du bloc de calcul de rang α de l'étage E_β transforme les échantillons d'entrée de rang $2^{\mu-\beta}\alpha+2\tau+1$, $2^{\mu-\beta}\alpha+2\tau+2$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-2\tau-3$, $2^{\mu-\beta}\alpha+2^{\mu-\beta}-2\tau-2$ en des échantillons de sortie de même rang.

20 30. Circuit de calcul selon la revendication 29, caractérisé en ce qu'il comporte en outre un circuit de sortie pour modifier l'ordre des échantillons de sortie du dernier étage et les délivrer dans l'ordre croissant de l'indice n à la sortie du circuit.

25 31. Circuit de calcul selon la revendication 29 ou 30, caractérisé en ce que, à chaque circuit croisillon est affecté un coefficient w^s , coefficient sur lequel est basé l'opération de calcul à l'intérieur du circuit croisillon, ledit coefficient étant égal à $e^{-j(2\pi s/N)}$ avec $s \in [0..N/4-1]$ dans le cas d'une transformée de Fourier rapide et est égal à $e^{j(2\pi s/N)}$ avec $s \in [0..N/4-1]$ dans le cas d'une transformée de Fourier rapide inverse.

30

32. Circuit de calcul selon la revendication 31, caractérisé en ce que, au circuit croisillon interne de rang τ du bloc de calcul de rang α de l'étage E_β est associé le coefficient W^δ avec $\delta = (\tau+1).2^\beta$.

5

33. circuit de calcul selon la revendication 32, caractérisé en ce que les circuits croisillons sont tous de même type et comportent

10 - quatre entrées pour recevoir des échantillons d'entrée et quatre sorties pour délivrer des échantillons de sortie,

- quatre entrées supplémentaires respectivement de mode primaire, de mode secondaire, de permutation et de coefficient,

15

afin d'appliquer sélectivement sur les échantillons d'entrée, des opérations de transformation différentes déterminées chacune par les valeurs attribuées à des signaux de mode primaire, de mode secondaire, de permutation et à un coefficient admis

20

sur lesdites entrées supplémentaires correspondantes.

34. Circuit de calcul selon la revendication 33, caractérisé en ce que, pour chaque circuit croisillon, le signal de mode primaire vaut 0 s'il s'agit d'un circuit croisillon de bord et 1 s'il s'agit d'un circuit croisillon interne.

25

et en ce que le signal de permutation vaut 0 pour les blocs de calcul de rang pair, y compris le rang 0, et 1 pour les valeurs impaires.

30

35. Circuit de calcul selon la revendication 31 ou 34, caractérisé en ce que le signal de mode secondaire vaut

1 si le circuit croisillon, qu'il soit de bord ou interne, appartient au premier étage et 0 sinon.

36. Circuit de calcul selon la revendication 35, caractérisé en ce que, pour quatre échantillons d'entrée e_1 , e_2 , e_3 et e_4 et pour un coefficient complexe $W^S = A + j.B$, le circuit croisillon fournit les échantillons de sortie s_1 , s_2 , s_3 et s_4 suivants

(1) si les signaux de mode primaire et de mode secondaire sont à 0:

$$s_1 = (e_1 + e_2)/2$$

$$s_2 = (e_1 - e_2)/2$$

$$s_3 = (e_4 - e_3)/2$$

$$s_4 = (e_3 + e_4)/2$$

(2) si le signal de mode primaire est à 0 et le signal de mode secondaire est à 1:

$$s_1 = [(e_1 + e_4)/2 + e_2]/2$$

$$s_2 = [(e_1 + e_4)/2 - e_2]/2$$

$$s_3 = -[e_3 - (e_1 - e_4)/2]/2$$

$$s_4 = [e_3 + (e_1 - e_4)/2]/2$$

(3) si le signal de mode primaire est à 1 et le signal de permutation à 0:

$$s_1 = (e_1 + e_3)/2$$

$$s_2 = (e_2 - e_4)/2$$

$$s_3 = [(e_1 - e_3).A - (e_2 + e_4).B]/2$$

$$s_4 = [-(e_1 - e_3).B + (e_2 + e_4).A]/2$$

(4) si le signal de mode primaire est à 1 et le signal de permutation à 1:

$$s_1 = [(e_1 - e_3).A - (e_2 + e_4).B]/2$$

$$s_2 = [-(e_1 - e_3).B + (e_2 + e_4).A]/2$$

$$s_3 = (e_1 + e_3)/2$$

$$s_4 = (e_2 - e_4)/2$$

37. Circuit de calcul selon la revendication 33, caractérisé en ce qu'il est prévu des moyens pour générer des première et seconde adresses binaires de μ bits par circuit croisillon, chaque adresse binaire

correspondant au rang d'un échantillon d'entrée dudit circuit croisillon et la seconde adresse binaire étant supérieure à la première adresse binaire.

- 5 38. Circuit de calcul selon la revendication 37, caractérisé en ce que lesdites première et seconde adresses binaires sont consécutives s'il s'agit d'un circuit croisillon interne.
- 10 39. Circuit de calcul selon la revendication 37 ou 38, caractérisé en ce que, s'il s'agit d'un circuit croisillon de bord, les μ -p bits de poids faible de la première adresse sont égaux à 0, et les μ -p bits de poids faible de la seconde adresse forment un nombre
- 15 égal à $N/2^{p+1}-1$.
- 20 40. Circuit de calcul selon la revendication 38 ou 39, caractérisé en ce que l'adresse des deux autres échantillons à appliquer sur les entrées du circuit croisillon sont obtenus en inversant les μ -p bits de poids faible des deux adresses produites.
- 25 41. Circuit de calcul selon la revendication 40, caractérisé en ce que les échantillons d'adresse paire et les échantillons d'adresse impaire sont stockés dans deux mémoires distinctes.
- 30 42. Circuit de calcul selon la revendication 41, caractérisé en ce que la valeur du paramètre s du coefficient w^s affecté à un circuit croisillon interne de l'étage E_p est codé sur $\mu-2$ bits, et correspond:

- si $\mu-p-1=\mu-2$, au nombre formé par les $\mu-p-1$ bits de poids faible de la seconde adresse produite pour ledit circuit croisillon interne,

5 - si $\mu-p-1<\mu-2$, au nombre formé par les $\mu-p-1$ bits de poids faible de la seconde adresse produite pour ledit circuit croisillon interne, suivi de $p-1$ bits à zéro en fin de nombre,

10 - si $\mu-p-1>\mu-2$, au nombre formé par les $\mu-p-1$ bits de poids faible de la seconde adresse produite pour ledit circuit croisillon interne, ôté de ses $p+1$ bits de poids faible.



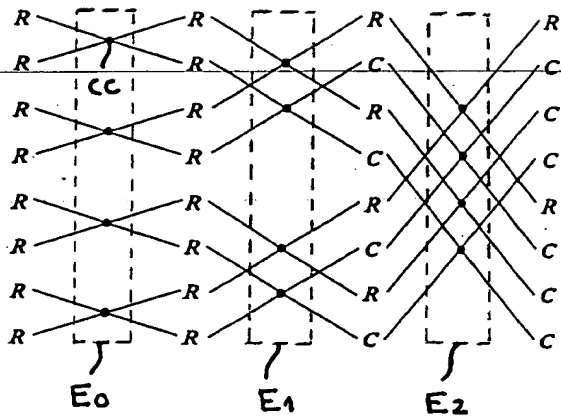


FIG. 1A

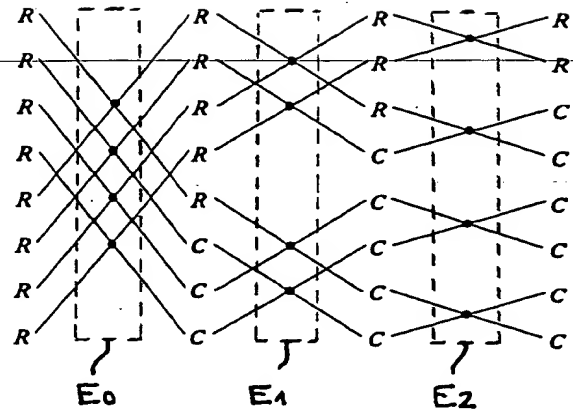


FIG. 1B

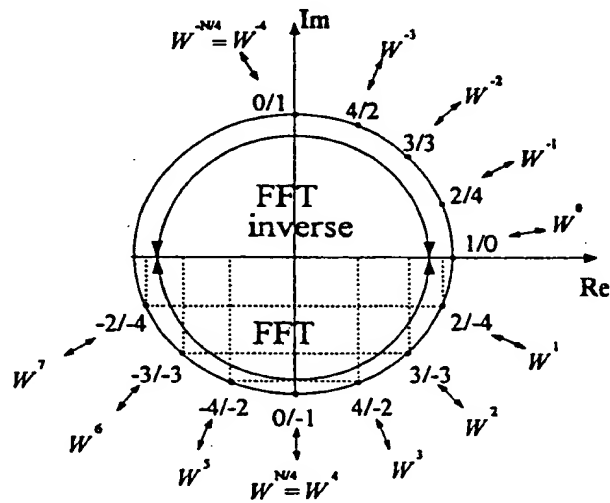


FIG. 3

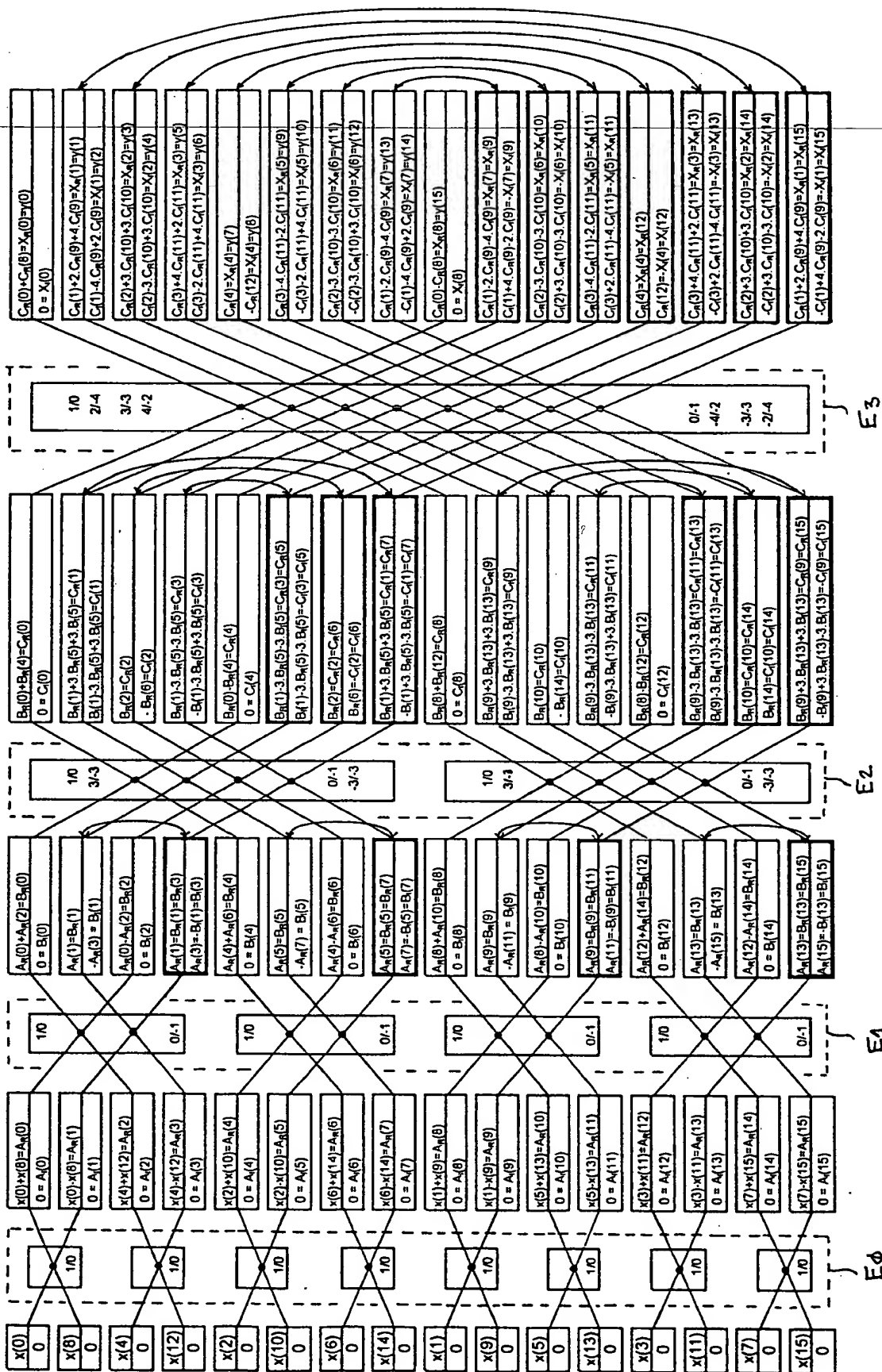


FIG. 2

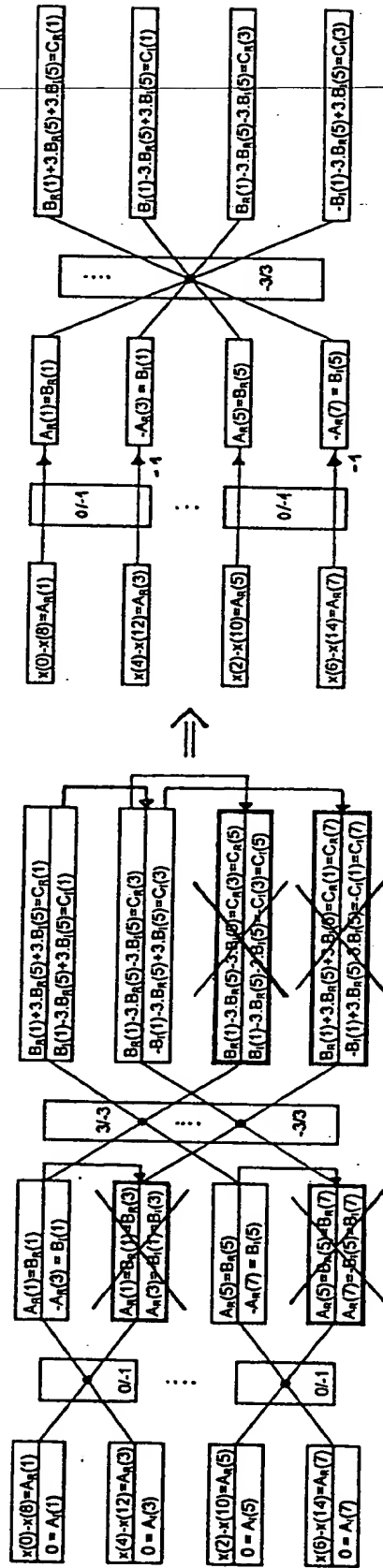


FIG. 4

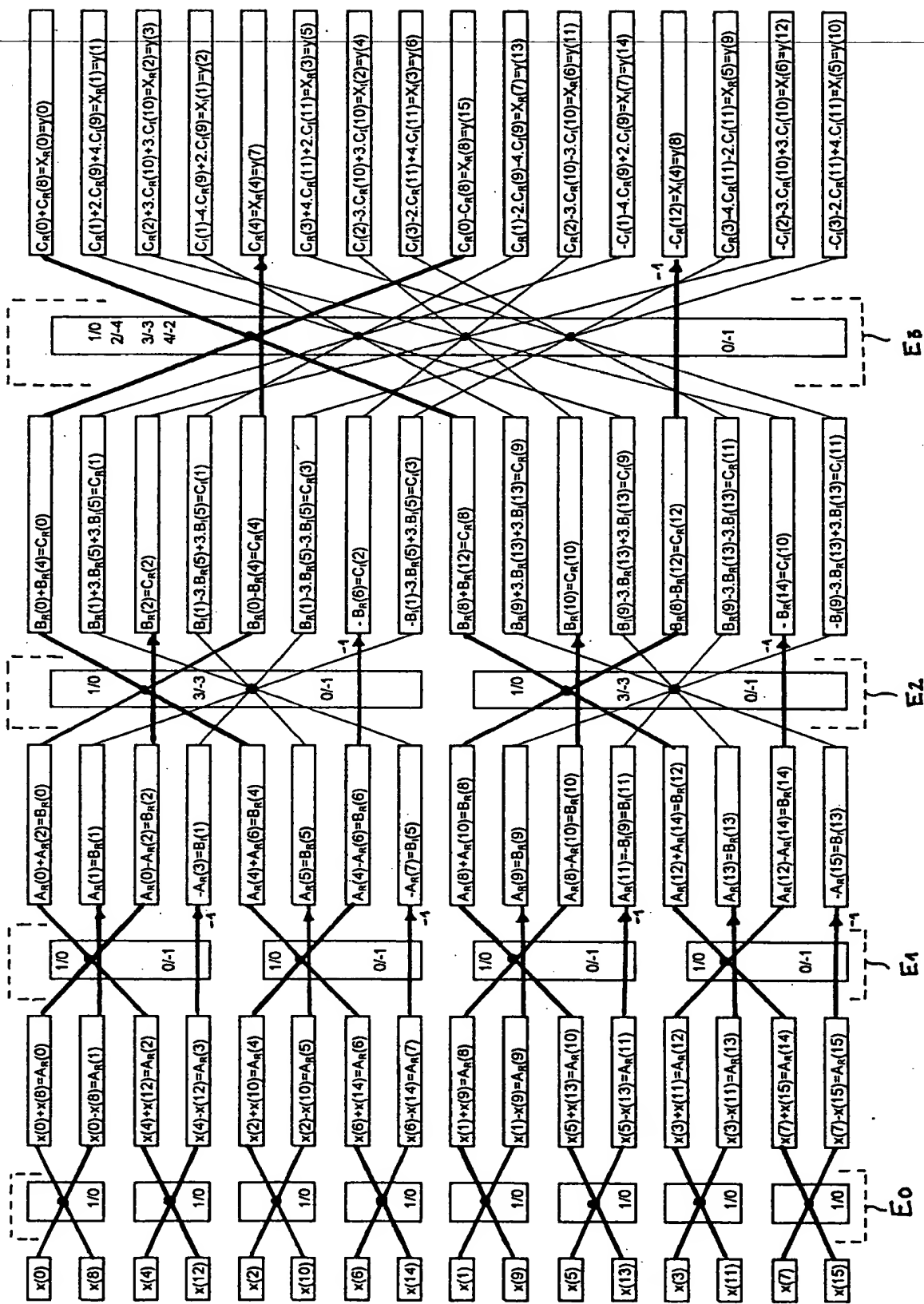


FIG. 5

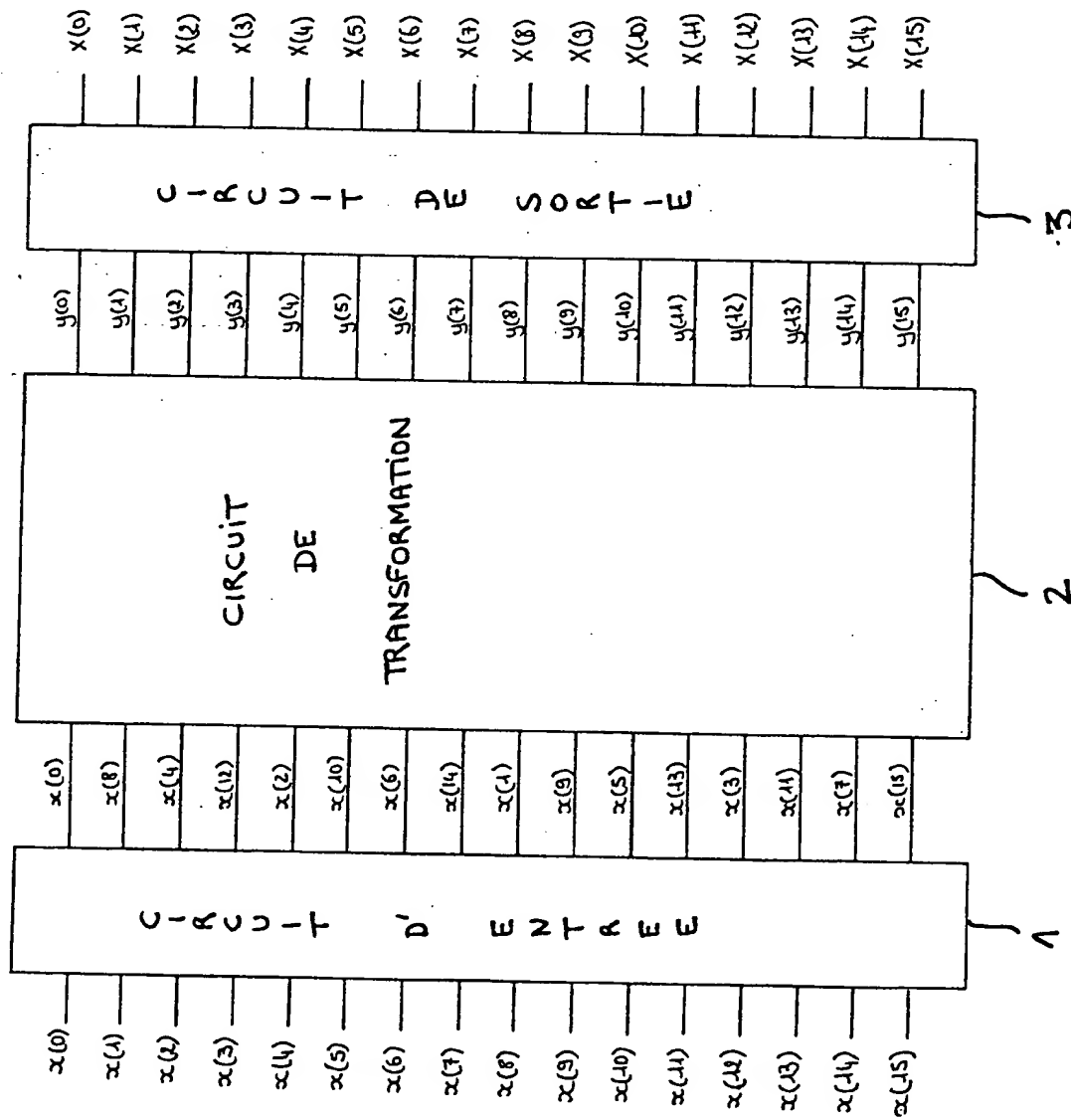


FIG. 6

6 / 17

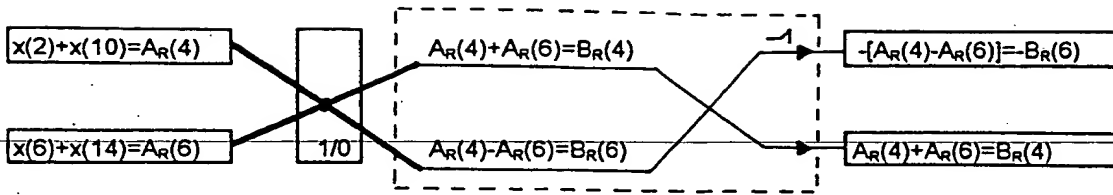


FIG. 7A

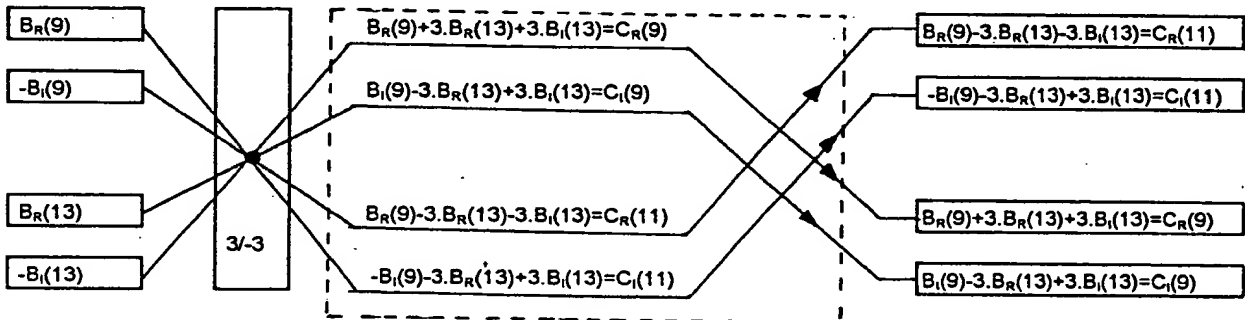


FIG. 7B

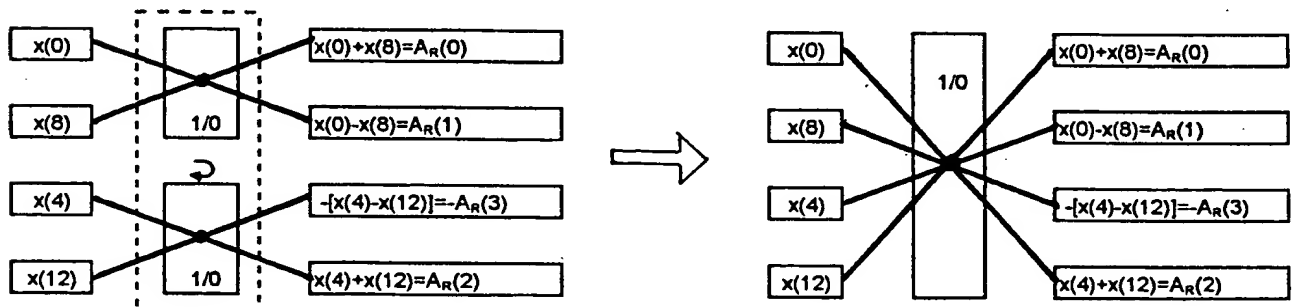


FIG. 9

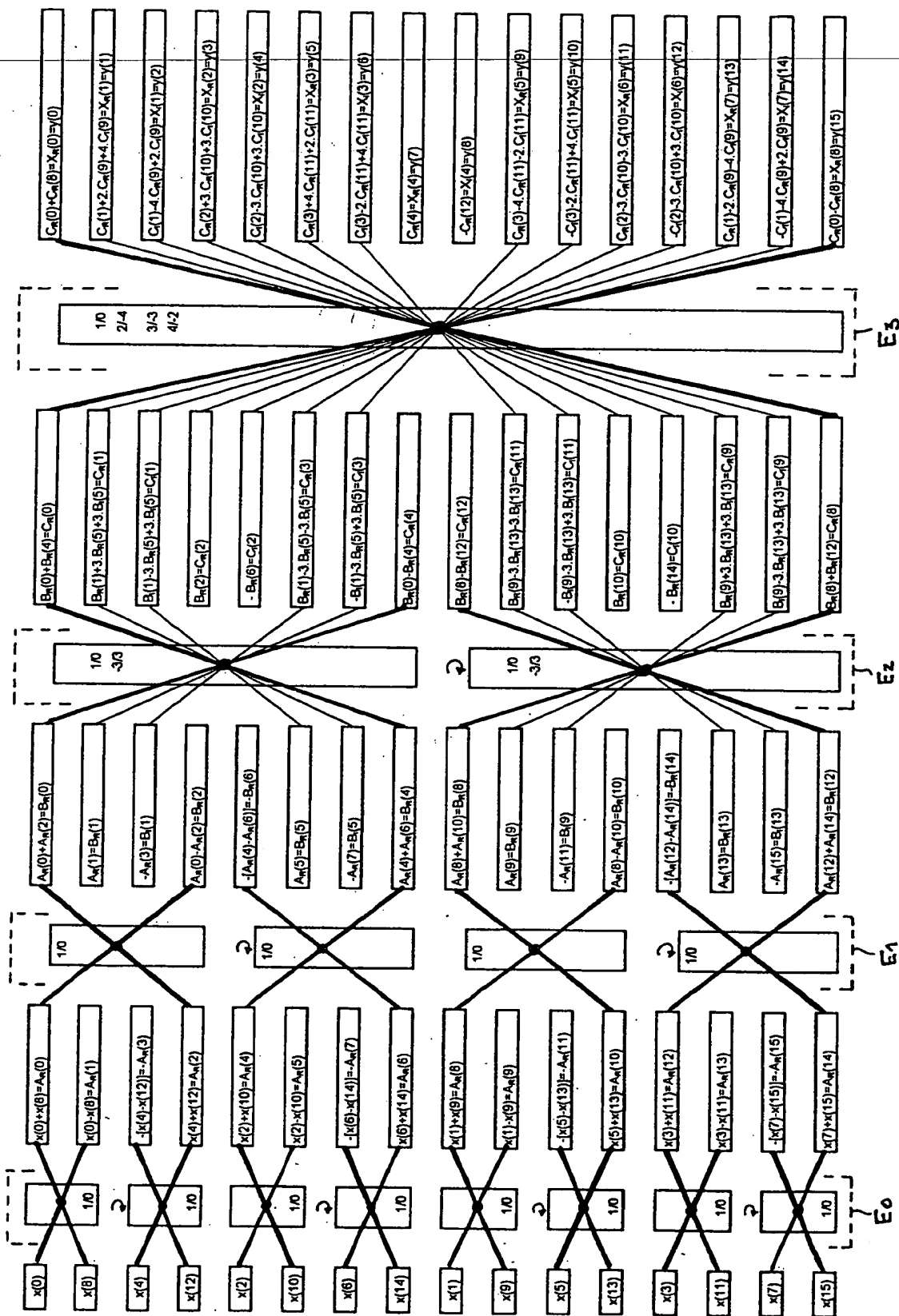


FIG. 8

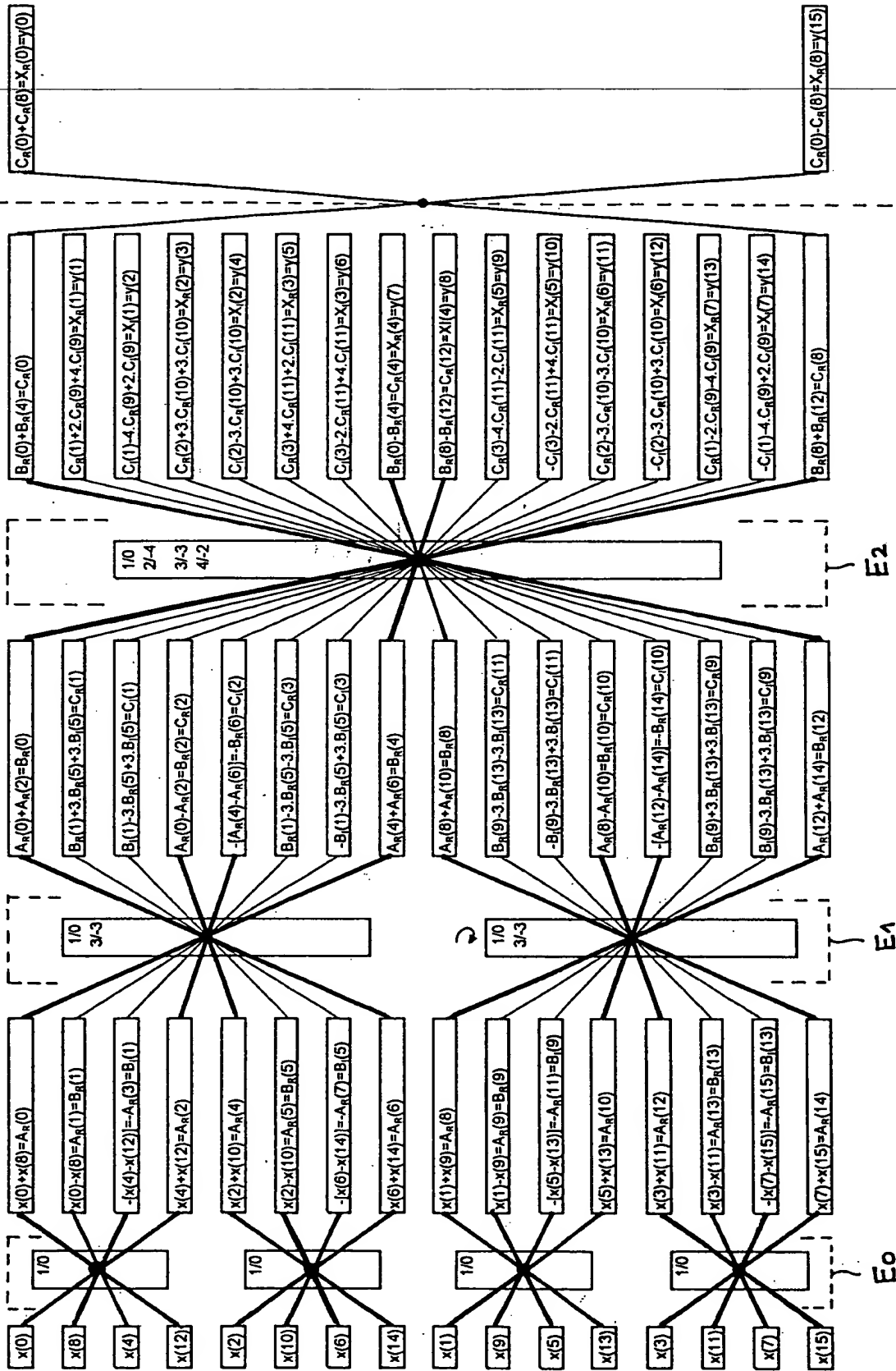


FIG. 10

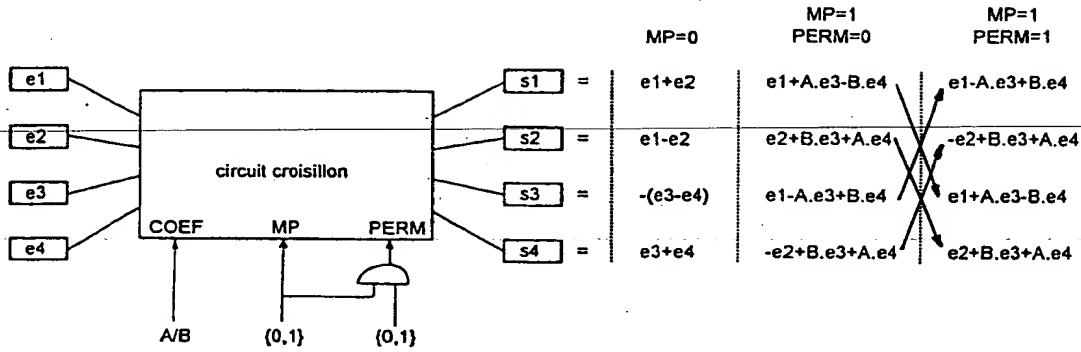


FIG.11

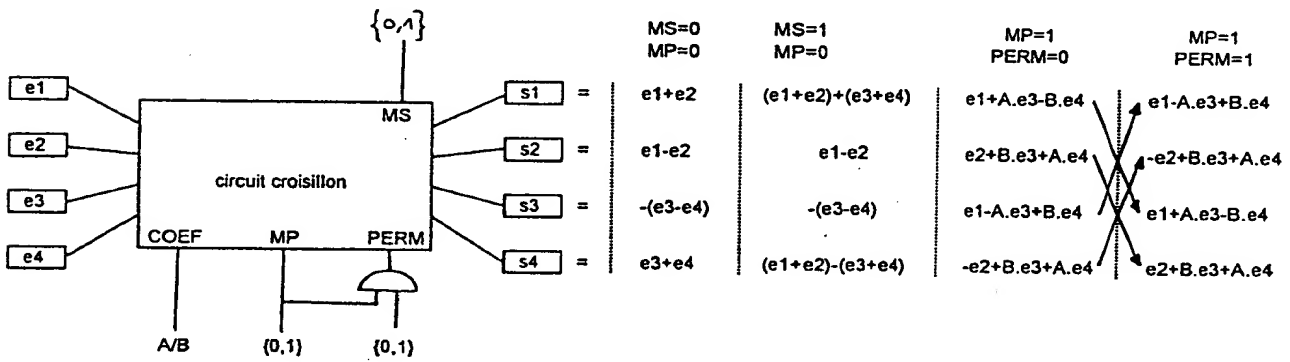


FIG.13

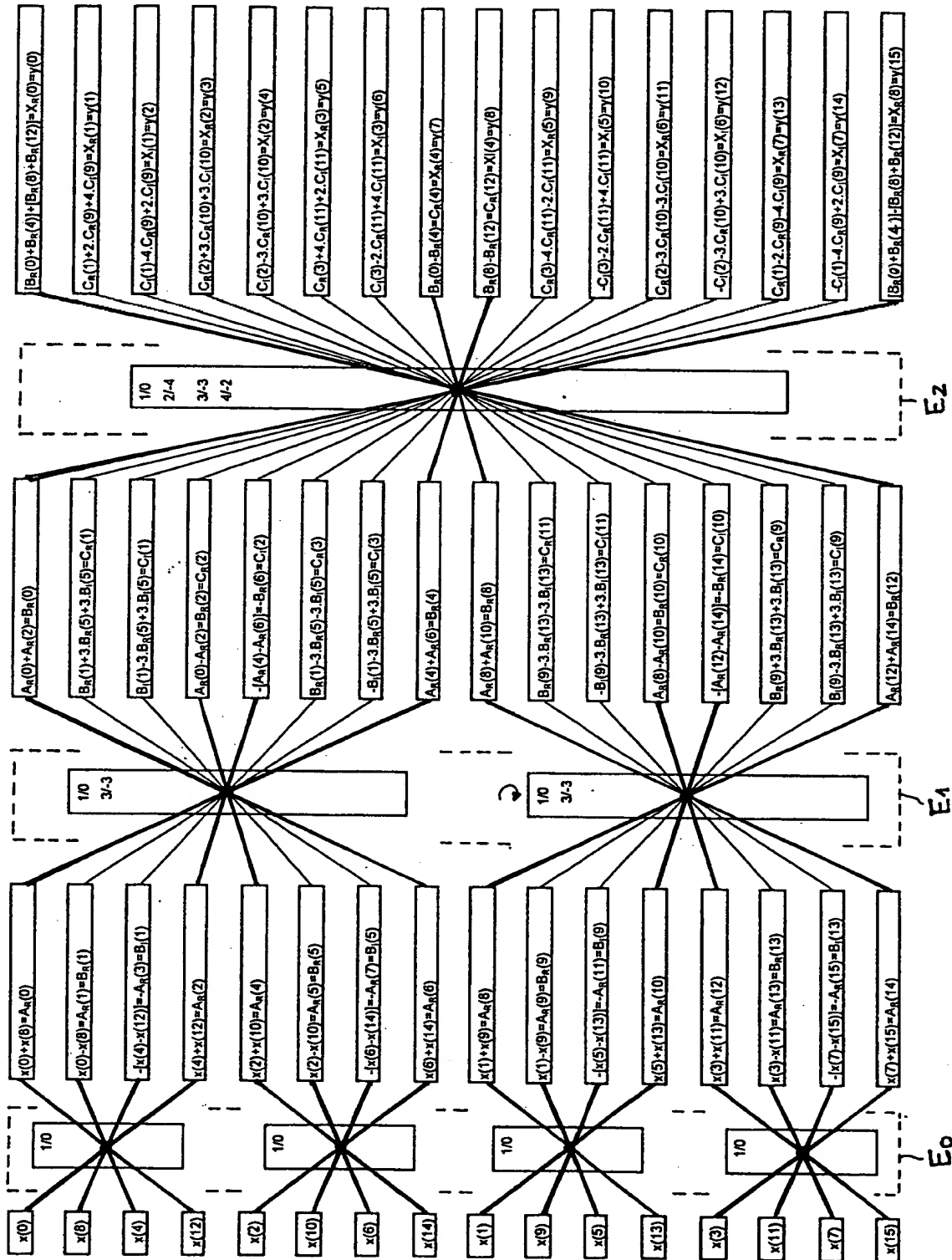


FIG. 12

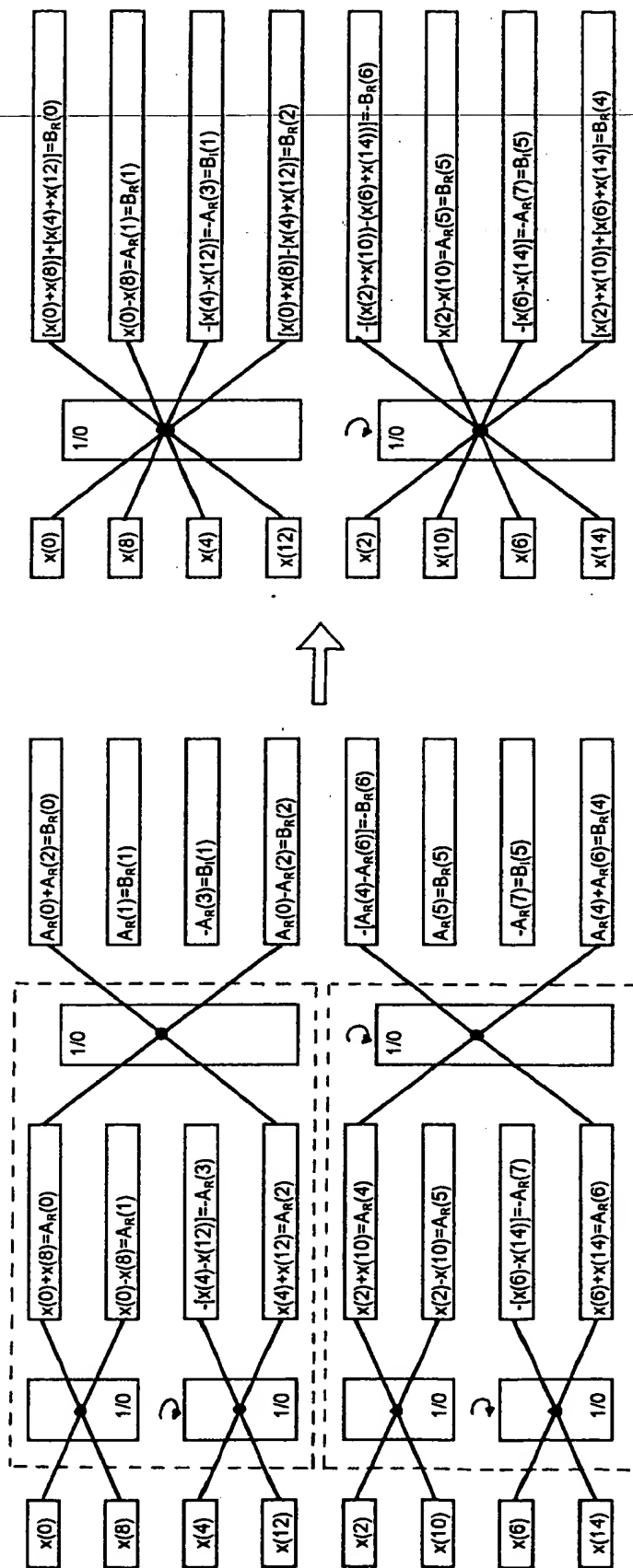


FIG.14

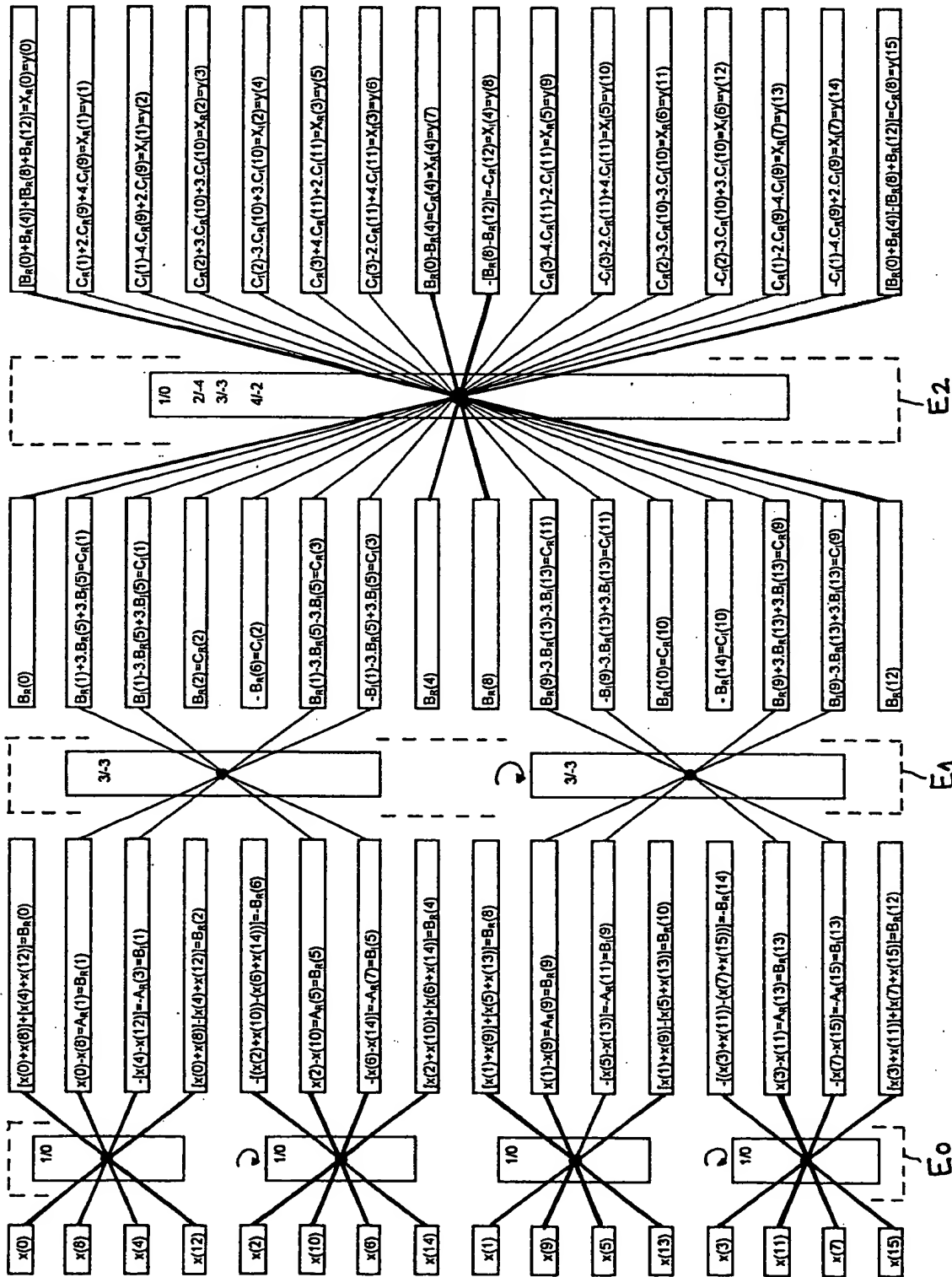


FIG. 15

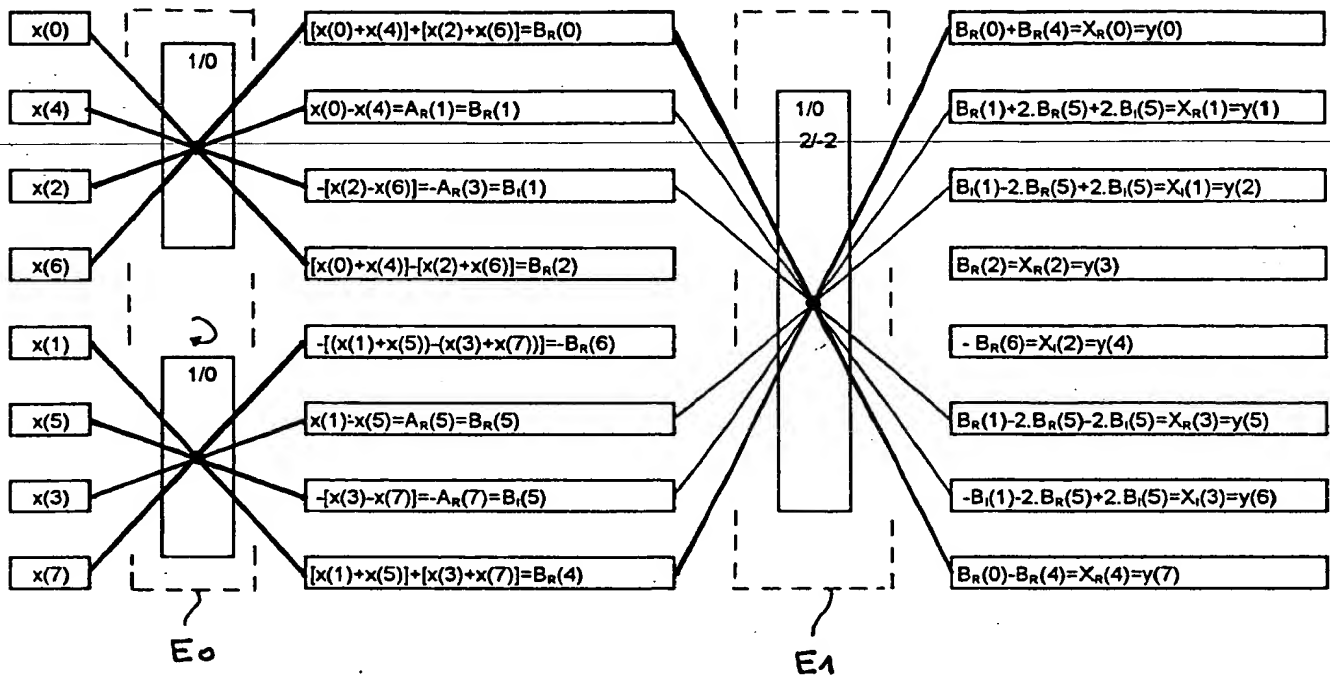


FIG.16

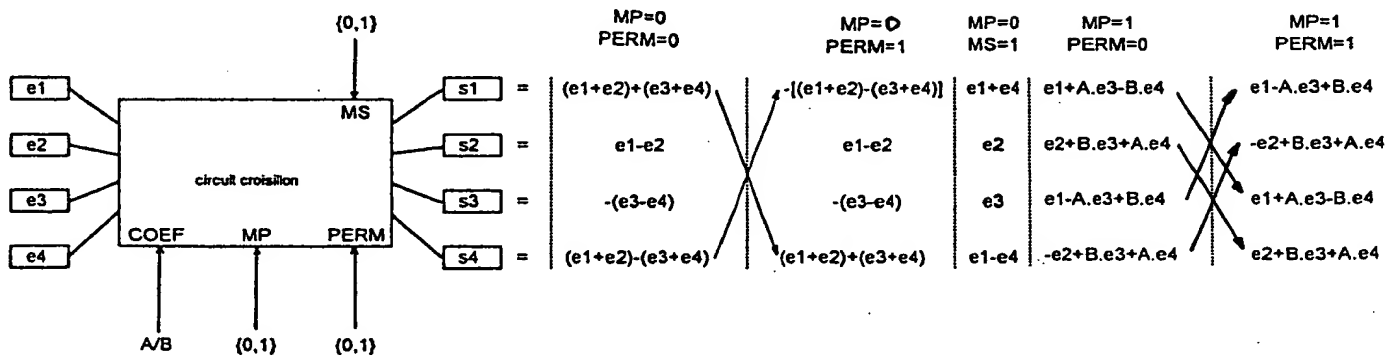


FIG.17

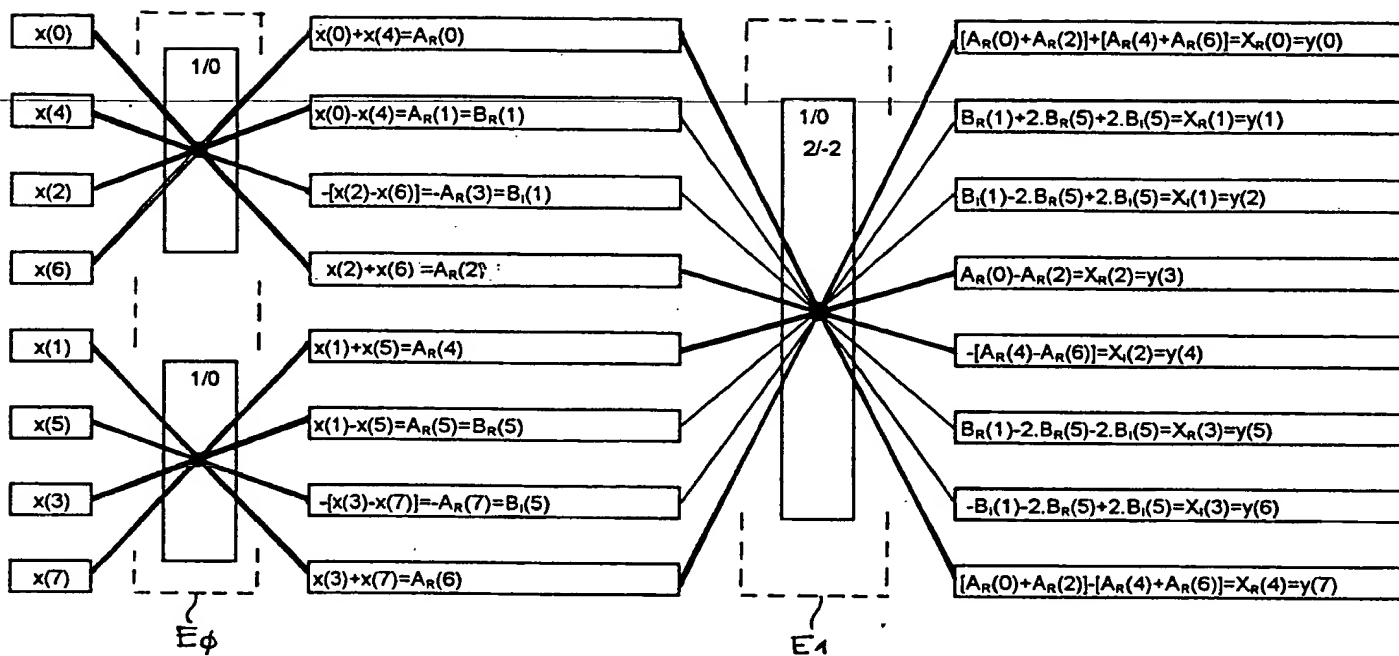


FIG. 18

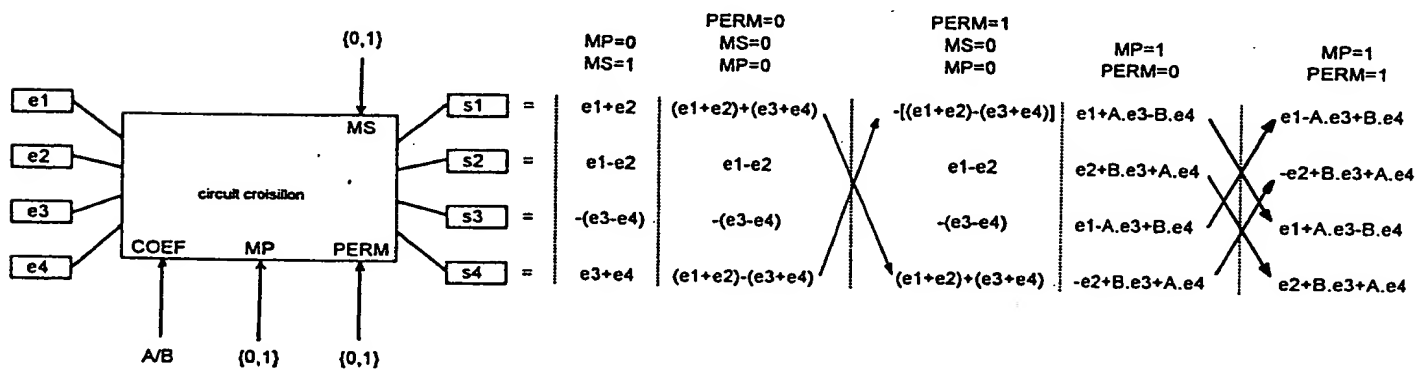


FIG. 19

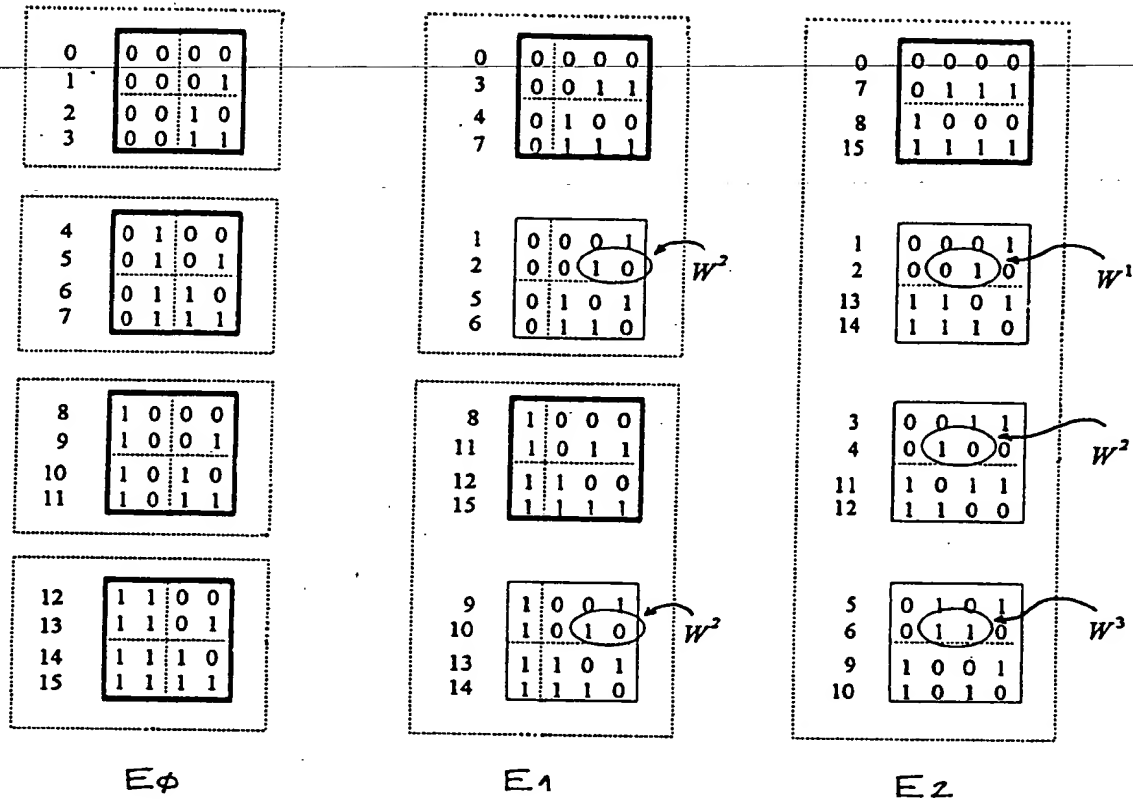


FIG. 20

$N = 32 \rightarrow \mu = 5$

$p = 1$ (2^e étage)

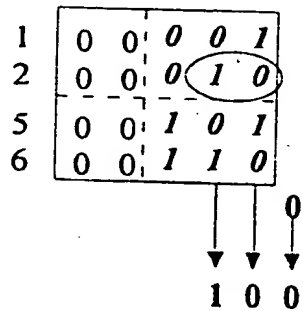


FIG. 21

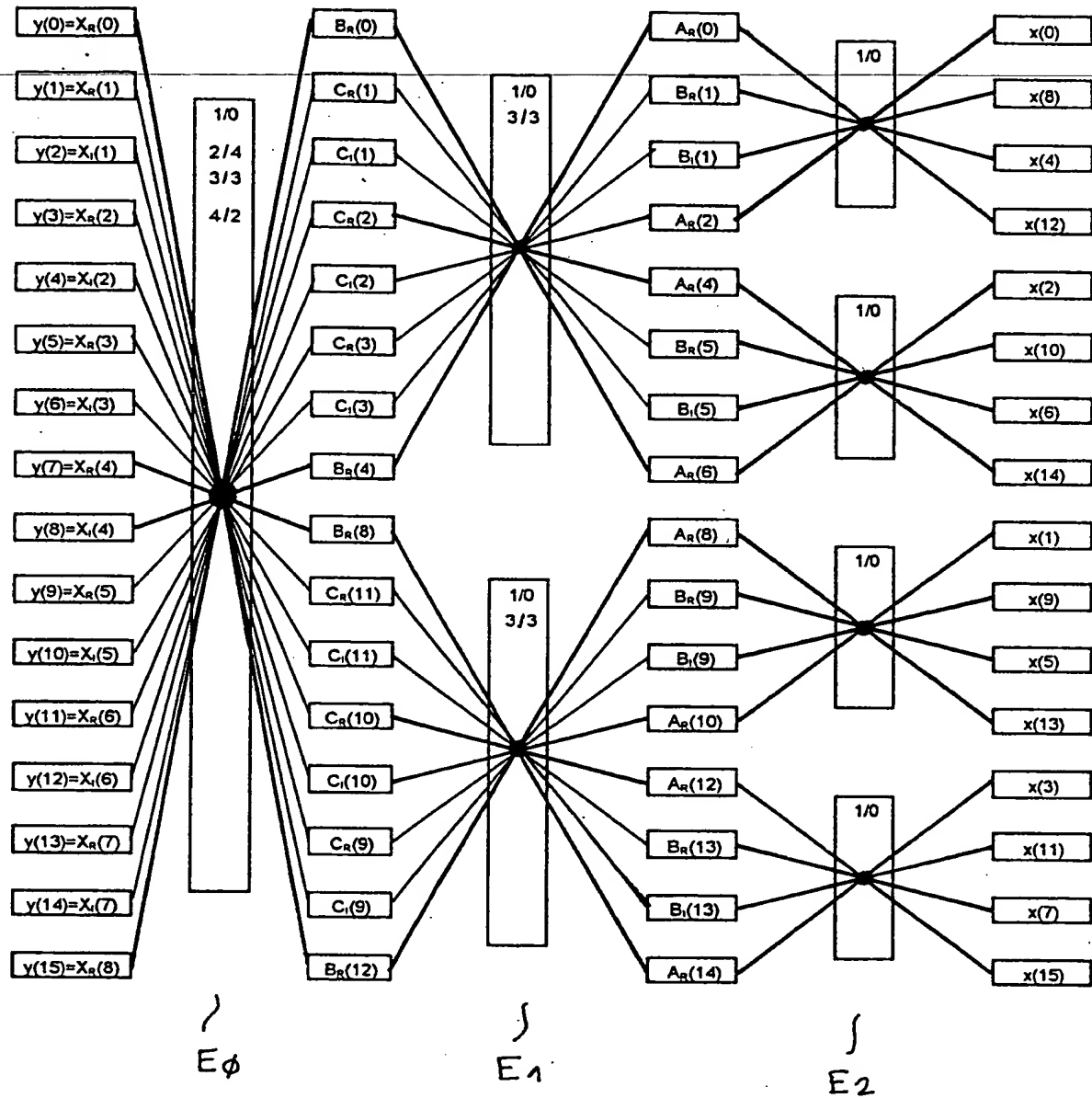


FIG.22

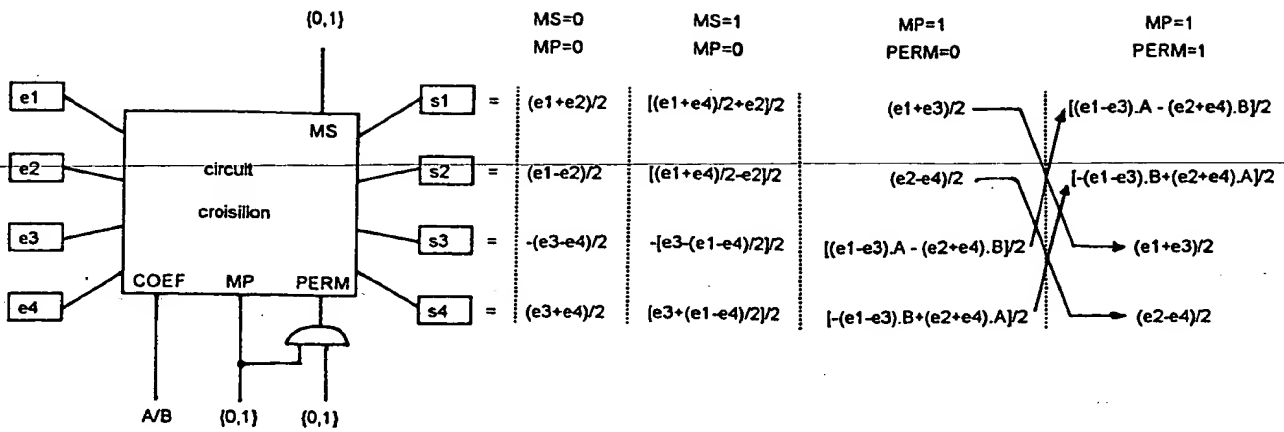


FIG. 23

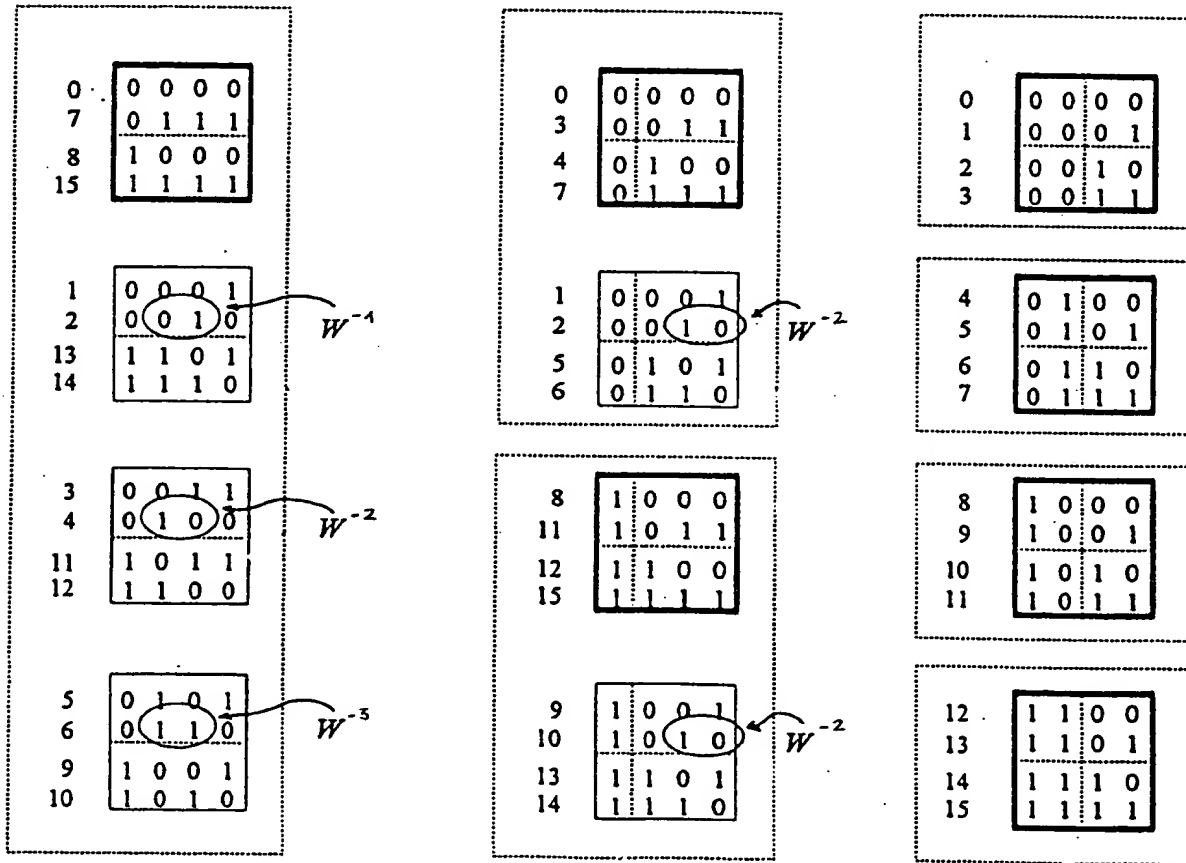


FIG. 24

THIS PAGE BLANK (USPTO)